

## Předmluva:

Předložené skriptum je určeno pro podporu výuky předmětu Simulace. Tento předmět je v současné době jedním ze závazných předmětů studijního oboru Výpočetní technika na elektrotechnické fakultě ČVUT a zabývá se zčásti problematikou simulace číslicových obvodů a zčásti simulací systémů hromadné obsluhy včetně samotných principů diskretní simulace, kvaziparalelního prostředí a paralelní simulace.

Tento text pokrývá uvedený předmět pouze částečně; zabývá se jazykem VHDL jako pracovním nástrojem pro simulaci číslicových obvodů. Vznikl z původních fólií, používaných při přednáškách a z dodatečně vytvořeného doprovodného textu. Skutečnost, že obě zmíněné části byly vytvořeny pomocí nástroje PowerPoint vedla k následujícímu uspořádání: Výsledný text, který je obsahově rozčleněn do osmi kapitol, je třeba chápat jako sloupcově uspořádaný, ve kterém se nepravidelně prolínají původní fólie s fóliemi doprovodného textu. Původní fólie jsou koncipovány jako samostatné celky přehledového charakteru nebo jako ukázky simulačních programů či jejich částí. Pro snadné odlišení od doprovodného textu je každá z nich označena centrálně umístěným a kursivou tištěným názvem a číslem, které udává její pořadí v dané kapitole a pomocí něhož je zmíněná folie ve vysvětlujícím textu odkazována.

Autor bude vděčen každému čtenáři za upozornění týkající se výskytu chyb a za veškeré připomínky či náměty pro zlepšení textu.

V Praze dne 20. 10. 2002

Jiří Douša

## Obsah:

1. Úvod do VHDL.....	4
1.1 Charakteristika zdrojového programu.....	4
1.2 Charakteristika objektů.....	5
1.3 Dekompozice programů a rozhraní ve VHDL.....	6
1.4 Charakteristika portů.....	6
1.5 Deklarace entity a architektury.....	7
1.6 Ukázky modelů.....	7
2. Datové typy ve VHDL.....	10
2.2 Složené datové typy.....	14
2.2.1 Datový typ pole (přístupy k polím, atributy).....	14
2.2.2 Datový typ záznam.....	17
2.3 Datový typ ukazatel ( new, deallocate() ).....	17
2.4 Datový typ soubor.....	18
2.4.1 Binární soubory.....	18
2.4.2 Textové soubory.....	20
2.5 Nestandardní datové typy.....	21
2.5.1 Knihovna std_logic_1164.....	21
2.5.2 Knihovna std_logic_unsigned.....	23
2.5.3 Knihovna std_logic_signed.....	23
2.5.4 Knihovna std_logic_arith.....	23
2.6 Alternativní pojmenování (alias).....	25
3. Sekvenční prostředí ve VHDL.....	26
3.1 Procesy.....	26
3.1.1 Příkaz wait.....	26
3.1.2 Delta zpoždění.....	27
3.1.3 Organizace simulačních cyklů ve VHDL.....	27

3.1.4 Odložený proces.....	30
3.1.5 Transakce a zpoždění výstupů.....	30
3.1.6 Dopravní zpoždění.....	30
3.1.7 Setrvačné zpoždění.....	31
3.1.8 Podmíněné sekvenční příkazy (if, case a jejich aplikace: sčítačka, multiplexor, paralelní násobička, kombinační obvody).....	32
3.1.9 Příkazy cyklů (příkazy for, while, loop, exit, next, sekvenční násobičky).....	34
3.1.10 Simulace sekvenčních obvodů (klopné obvody, registry, čítač, obecné struktury).....	36
3.1.11 Simulace automatů (sériové sčítačky).....	38
3.1.12 Sekvenční příkaz assert.....	40
3.2 Podprogramy (procedury, funkce, rezoluční funkce a jejich aplikace: násobička, budiče).....	40
3.3 Atributy signálů (atributy funkce a signály).....	43
3.5 Rozdělení signálů (rozhodované a strážené signály).....	45
3.6 Odpojování budičů v sekvenčním prostředí.....	45
3.7 Dodatek k synchronizaci procesů (možné varianty řešení problému producent – konzument).....	46
4. Příkazy typu data-flow.....	50
4.1 Nepodmíněné signálové přiřazovací příkazy (model RS klopného obvodu a generátoru parity).....	50
4.2 Příkaz generate (aplikace: generátor parity).....	51
4.3 Podmíněné přiřazovací příkazy (příkazy when, with a jejich aplikace: budič, multiplexor, klopné obvody, automaty).....	52
4.4 Paralelní příkaz assert (kontrola předstihu a přesahu).....	54
4.5 Odložený příkaz assert.....	54
4.6 Paralelní příkaz procedury.....	55

4.7 Příkaz bloku.....	55
4.7.1 Příkaz strážného bloku.....	56
4.7.2 Modely klopných obvodů.....	56
4.7.3 Odpojování budičů v paralelním prostředí.....	57
4.7.4 Modelování automatů.....	58
5. Strukturní popis.....	60
5.1 Charakteristika prostředků strukturního popisu.....	60
5.2 Přiřazení portů.....	62
5.2.1 Přiřazení portů při osazování komponent.....	62
5.2.2 Přiřazení portů při instalaci komponent.....	62
5.3 Parametrizace entit.....	64
5.4 Bloky a strukturní popis.....	65
5.5 Automatické generování struktur (strukturní model paralelního registru a paralelní sčítačky).....	66
5.6 Konfigurace strukturních schémat.....	67
6. Generování vstupů při testování modelů.....	70
6.1 Funkční implementace generátoru.....	70
6.2 Průběžné čtení vstupních hodnot ze souboru.....	71
6.3 Jednorázové čtení vstupních hodnot ze souboru.....	71
7. Knihovny.....	73
7.1 Zpřístupnění knihoven a objektů.....	73
7.2 Prostory platnosti knihoven.....	73
7.3 Deklarace uživatelských knihoven.....	74

Příloha 1: Přehled rozšíření jazyka VHDL-93.....	75
Příloha 2: Přehled často používaných pojmů.....	75
Použitá literatura.....	76