

OBSAH	str.
PŘEDMLUVA	3
1. ÚVOD	4
1.1. Vývoj číslicových počítačů	4
1.2. Výchova odborníků pro výpočetní techniku	6
1.3. Použití počítačů	7
1.4. Popis a projektování	7
1.4.1. Postup při návrhu systému	8
a) Kalkulátor	8
b) Číslicový počítač	9
1.4.2. Úrovně popisu počítačových soustav	10
- obvodová	11
- logických obvodů	11
- registrů a přesunů informace (RTL)	11
- programová (ISP)	13
- systémová (PMS)	19
2. PRINCIPY KONSTRUKCE A ČINNOSTI POČÍTAČŮ	19
2.1. Základní činitele ovlivňující konstrukci počítače	19
2.2. Princip programového řízení	20
2.3. Základní charakteristiky počítačů	20
- operační prostředky	20
- kapacita operační paměti	20
- rychlost	21
- výkonnost	21
- spolehlivost	21
- cena	21
- efektivnost	21
2.4. Klasifikace počítačů	22
2.4.1. Třídění z hlediska použití	23
- univerzální	23
- problémově orientované	23
- specializované	23
2.4.2. Třídění podle rychlosti	24
2.4.3. Třídění podle ceny	24
2.4.4. Třídění podle způsobu činnosti	24
2.4.5. Třídění z hlediska struktury	25
2.4.6. Generace počítačů	25
2.5. Stavebnicové koncepce počítačů	25
3. FUNKČNÍ ORGANIZACE (ARCHITEKTURA) POČÍTAČE	26
3.1. Strojové informační prvky	26
- dvojkové kódování	26
- vliv délky slova na potřebnou kapacitu paměti	27
- zobrazení informace slovy konstantní délky	28
- zobrazení informace slabikami	28
3.2. Typy dat a jejich zobrazení v počítačích	29
3.2.1. Čísla dvojková	29
3.2.2. Čísla desítková	29
3.2.3. Znaký a jejich skupiny	30
3.2.4. Logické operandy	30

Klasifikace

tri efekti

řady a modely P. U.

3.3.	Strojové operace	str. 30
3.3.1.	Funkční úplnost	31
3.3.2.	Hierarchie souboru operací	31
3.3.3.	Volba souboru operací	32
3.3.4.	Klasifikace operací	33
	- aritmetické a logické operace	33
	- přesuny	33
	- skoky	33
	- vstupní a výstupní operace	33
	- systémové operace	33
3.4.	Způsoby adresování	33
3.4.1.	Přímé	34
3.4.2.	Přímý operand	34
3.4.3.	Nepřímé	35
3.4.4.	Implicitní	36
3.4.5.	Modifikace adresy	36
3.4.6.	Relativní	37
3.4.7.	Adresování obsahem (asociativní)	39
3.4.8.	Stránková organizace paměti	39
3.4.9.	Výběr adresy	40
	- prostorový	40
	- časový	40
	- smíšený	41
3.5.	Formáty instrukcí	42
3.6.	Architektura univerzálních počítačů	43
3.7.	Architektura minipočítačů a mikroprocesorů	47
3.8.	Architektura multiprogramových počítačů	53
3.8.1.	Pracovní režimy počítačů	53
	- monoprogramový	53
	- multiprogramový	53
	- souběžné zpracování (multiprocessing)	55
	- dávkové zpracování	56
	- zpracování v reálném čase	56
	- způsoby spolupráce systému s uživatelem	57
	- srovnání systémů se sdílením času a s dávkovým zpracováním	58
3.8.2.	Prostředky multiprogramování	59
3.8.3.	Funkce řídicích programů	60
4.	STRUKTURA ČÍSLICOVÝCH POČÍTAČŮ	63
4.1.	Podsystemy počítače	63
4.1.1.	Operační podsystemy	64
4.1.2.	Paměti	64
4.1.3.	Vstupní a výstupní zařízení	64
4.2.	Koncepce propojení	65
4.2.1.	Jednotný styk a V/V kanály	66
	- standardní propojení společnou sběrnici	66
	- vstupní/výstupní kanály	66
	- dálkové spojení	68
4.2.2.	Struktura mini- a mikropočítačů	70
	- s jedinou společnou sběrnici	70
	- s oddělenou pamětí	70

- se specializovanými obvody styku	str.	70
4.2.3. Výběr subsystému		71
5. ORGANIZACE A ŘÍZENÍ VSTUPŮ A VÝSTUPŮ		73
5.1. Doplnění organizace a řízení V/V u univerzálních počítačů 3.generace		73
5.1.1. Příznaky kanálových příkazů		73
5.1.2. Příkazy bez přenosu údajů		74
5.1.3. Styk se vstupními a výstupními zařízeními		74
- linky standardního styku		74
- provádění vstupních a výstupních instrukcí		75
- přenos dat		80
- ukončování činnosti		82
5.1.4. Vstupní a výstupní programové vybavení		85
5.2. V/V operace v minipočítačích		85
5.3. Organizace a řízení V/V v mikroprocesorových systémech		86
5.3.1. Programové řízení přenosu dat		87
- synchronní přenos		87
- asynchronní přenos		90
- asynchronní sériové spojení		92
5.3.2. Technické zajištění přenosu dat		92
- univerzální (synchronní)/asynchronní přijímač - vysílač (U(S)ART)		93
- obvody přímého přístupu do paměti (DMA)		94
5.4. Standardizace propojování systémů s počítači		96
5.4.1. Vnitřní sběrnice		96
5.4.2. Vnější sběrnice		98
5.4.3. Systémové sběrnice		99
5.4.4. V/V paralelní sběrnice		99
5.4.5. V/V sériová sběrnice		99
5.4.6. Kontrola chyb na sběrnicích		100
5.4.7. Techniky zakončování sběrnic		100
5.4.8. Programové vybavení		101
5.4.9. Rozhodování o přerušení		105
5.4.10. Reprezentace dat a jejich organizace		106
6. OPERAČNÍ A ŘÍDICÍ JEDNOTKA		108
7. ORGANIZACE PAMĚTÍ		108
7.1. Paměť 2416 s nábojově vázanými prvky		113
7.2. Paměť s válcovými magnetickými doménami		114
7.2.1. Posuv bublin		115
7.2.2. Generování bublin		116
7.2.3. Replikátor bublin		117
7.2.4. Přepínač bublin		118
7.2.5. Anihilátor bublin		118
7.2.6. Organizace paměti		119
7.3. Virtualizace paměti		122
7.3.1. Adresový prostor, stránkování a mapování		125
7.3.2. Segmentace a stránkování		128
7.3.3. Adresový tok a jeho charakteristiky		130
7.3.4. Algoritmy přemisťování stránek		130

7.3.5. Styk programování a chování programu	str. 134
7.3.6. Systémová hlediska návrhu	135
- Multiprogramování ve společném adresovém prostoru	137
- Virtuální paměť s vícenásobným adresovým prostorem	140
- Regulace zátěže systému	141
8. PARALELNÍ POČÍTAČE	143
8.1. Třídy počítačových systémů	145
8.2. Počítače SIMD	148
8.2.1. Organizace počítače SIMD	148
8.2.2. Maskování při podmíněných skocích	150
8.2.3. Komunikace mezi procesory	152
8.2.4. Struktury dat	154
8.2.5. Perspektivy počítačů SIMD	157
8.3. Multiprocesorové počítače (MIMD)	157
8.3.1. Struktura počítačových systémů MIMD	157
8.3.2. Řízení spolupráce procesorů	160
8.3.3. Perspektivy multiprocesorových systémů (MIMD)	161
9. UPLATNĚNÍ TEORIE HROMADNÉ OBSLUHY PŘI NÁVRHU POČÍTAČOVÉHO SYSTÉMU	162
9.1. Konfigurace systému	162
9.1.1. Popis zátěže	163
- Struktura požadavků	163
- Příchody požadavků	164
9.1.2. Průběh zpracování	165
- Obsluha požadavku terminálem	165
- Zpracování zpráv v hlavním počítači	165
9.2. Postup řešení	166
9.2.1. Doba trvání diskové operace	167
9.2.2. Doba zpracování požadavku	168
9.2.3. Intenzita toku požadavků	169
- Určení délky fronty na zpracování	170
- Doba čekání požadavků	170
- Celková doba pobytu požadavku v hlavním počítači	170
9.2.4. Dimenzování vyrovnávacích pamětí pro přenos	171
- Rychlost přidělování úseků paměti	172
- Střední doba obsazení paměťového úseku	172
- Přidělování paměti jako systém $M/M/\infty$	173
9.2.5. Přenosová doba zpráv	174
9.2.6. Charakteristiky terminálů	175
9.3. Vliv růstu zátěže	176
10. OPTOELEKTRONICKÉ PRVKY A SYSTÉMY VE VÝPOČETNÍ TECHNICE	177
10.1. Principy optoelektronického zpracování informace	177
10.2. Materiály pro optoelektroniku	182
10.3. Koherentní záření, laser, holografie	189
10.4. Základní otázky paměťových soustav vychylování, paměťové materiály	198
10.5. Diskrétní záznam optického signálu	208
10.6. Holografické paměti	219
10.7. Číslicové procesory	231
10.8. Analogové procesory	243
10.9. Integrovaná optika	252

II. část skript

11.	ZÁKLADNÍ JEDNOTKA MIKROPOČÍTAČE ŘADY MCS-80	str. 3
11.1.	Mikroprocesor I 8080A	3
11.1.1.	Struktura mikroprocesoru	3
11.1.2.	Instrukční soubor I 8080A	9
11.1.3.	Komunikace I 8080A s pamětí a s přídatnými zařízeními	20
11.2.	Generátor hodinových pulsů I 8224	28
11.3.	Systémový řadič a budič datové sběrnice I 8228	31
11.4.	Jazyk symbolických adres pro I 8080/8085	35
12.	PAMĚŤOVÝ PODSYSTÉM MIKROPOČÍTAČE ŘADY MCS-80	40
12.1.	Paměťové obvody	40
12.2.	Návrh paměťového podsystemu. Adresový dekodér I 8205	40
12.3.	Výkonové poměry na sběrnicích mikropočítače	46
12.3.1.	Budič 4bitové paralelní oboustranné sběrnice I 8216/8226	46
12.3.2.	8bitová vstupní/výstupní brána I 8212	47
13.	VSTUPNÍ/VÝSTUPNÍ PODSYSTÉM MIKROPOČÍTAČE ŘADY MCS-80	51
13.1.	Způsoby adresace V/V zařízení	51
13.2.	Připojení V/V zařízení se sériovým vstupem/výstupem dat	52
13.2.1.	Programově řízený sériový V/V - I 8212	52
13.2.2.	Sériový V/V řízený technickými prostředky - USART I 8251	54
13.3.	Připojení V/V zařízení s paralelním vstupem/výstupem dat	66
13.3.1.	Pomalý paralelní V/V - I 8212, I 8255A	66
13.3.2.	Rychlý paralelní V/V - programovatelný řadič DMA I 8257	76
13.4.	Obsluha žádosti V/V zařízení o přerušeni výpočtu mikroprocesoru	84
13.4.1.	Řadič přerušeni I 8214	85
13.4.2.	Programovatelný řadič přerušeni I 8259A	88
14.	NÁVRH MIKROPOČÍTAČE ŘADY MCS-85	97
14.1.	Mikroprocesor I 8085A	97
14.1.1.	Struktura mikroprocesoru	98
14.1.2.	Instrukční soubor I 8085A	101
14.1.3.	Komunikace I 8085A s pamětí a s přídatnými zařízeními	102
14.1.4.	Řízení sériového V/V a instrukce RIM a SIM	106
14.2.	Podpůrné kombinované paměťové a V/V obvody řady MCS-85	108
14.2.1.	Obvody I 8155/8156 (RAM + V/V + časovač)	108
14.2.2.	Obvody I 8355/8755 (ROM/EPROM + V/V)	114
14.3.	Připojení obvodů řady MCS-80 k mikropočítači řady MCS-85	115
14.4.	Dvě aplikace s mikroprocesorem I 8085A	116
14.4.1.	Sériový vstup/výstup dat	116
14.4.2.	Rychlé zpracování bloku dat	117
15.	PROSTŘEDKY USNADŇUJÍCÍ NÁVRH MIKROPROCESOROVÉHO SYSTÉMU S I 8080/8085	124
15.1.	Výuková stavebnice SDK-85	125
15.1.1.	Popis technických prostředků stavebnice	125
15.1.2.	Komunikace s monitorem z klávesnice	129
15.1.3.	Komunikace s monitorem z dálnopisu	131
15.1.4.	Využití některých podprogramů monitoru v uživatelském programu	132

15.1.5.	Pokyny pro ladění programu na SDK-85	str. 133
15.2.	Mikropočítačový vývojový systém MVS 800	134
15.2.1.	Popis technických prostředků systému	134
15.2.2.	Monitor MVS	140
15.2.3.	Zavedení a spuštění assembleru MVS	148
15.2.4.	Textový editor MVS	148
15.2.5.	Využití V/V podsystému MVS 800 v uživatelském programu	154
15.2.5.1.	Podprogramy pro ovládání standardních přídavných zařízení	155
15.2.5.2.	Podprogramy řídicí a zjišťující stav vývojového systému	157
15.2.5.3.	Začlenění vlastního řízení periférií do V/V systému MVS	160
15.3.	Mikropočítač ISBC 80/20. Stavebnicový systém MIKROSAT	160
16.	PROGRAMOVÁNÍ PEVNÝCH PAMĚTÍ	162
16.1.	Doporučené formáty a media se vzorovými daty	162
16.1.1.	Formát iHEX pro děrnou pásku	163
16.1.2.	Formát BNPF	165
16.1.3.	Specifikace formátů používaných k.p. Tesla Rožnov	166
16.2.	Programování bipolárních pamětí PROM	170
16.2.1.	Programování bipolárních pamětí PROM fy Intel	170
16.2.2.	Programování pamětí MH 74188	171
16.3.	Programování MOS PROM pamětí	174
16.4.	Mazání pamětí UV EPROM	178
17.	MINIPOČÍTAČE TYPU ADT 4000 a 4500	180
17.1.	ADT 4000	180
17.1.1.	Blokové schéma	180
17.1.2.	Typy cyklů	183
17.1.3.	Vstupní/výstupní obvody	183
17.1.4.	Zpracování V/V instrukcí	183
17.1.5.	Zpracování žádosti o obsluhu	184
17.1.6.	V/V moduly	184
17.1.7.	Adresování V/V modulů	184
17.1.8.	Přenos dat	185
17.1.9.	Činnost obvodů V/V modulu	185
17.1.10.	Přerušovací systém je blokován	187
17.1.11.	Přerušovací systém odblokován	189
17.1.12.	Podmínky přerušování	189
17.1.13.	Priorita	189
17.1.14.	Přímý přístup k paměti - DMA	190
17.1.15.	Procesor	191
17.1.16.	Rozšířená aritmetika	193
17.2.	ADT 4500	194
17.2.1.	Blokové schéma	195
17.2.2.	Mikroprogramový řadič	196
17.2.3.	Operační paměť	196
17.2.4.	Dynamický mapovací systém DMS	197
17.2.5.	Univerzální zápisníkové registry a další registry	198
17.2.6.	Aritmeticko-logická jednotka, posuvy a rotace	199

18.	ČESKOSLOVENSKÝ POČÍTAČ EC 1025 - POPIS STRUKTURY A ČINNOSTI str.	201
18.1.	Základní charakteristiky EC 1025	201
18.1.1.	Způsoby nasazení počítače EC 1025	206
18.2.	Operační modul	207
18.2.1.	Struktura OPM	207
18.2.1.1.	Výkonné obvody	207
18.2.1.2.	Řadič OPM	215
18.2.1.3.	Vnitřní adaptér	219
18.2.2.	Řídicí mikroprogramy operačního modulu	219
18.2.3.	Řízení činnosti OPM	220
18.2.4.	Soubor instrukcí	221
18.2.5.	Soubor mikroinstrukcí OPM	222
18.2.6.	Hlavní technická data OPM a jeho inovace	223
18.2.7.	Příklady	225
18.3.	Organizační modul a hlavní paměť	227
18.3.1.	Organizační modul	227
18.3.1.1.	Obvody organizující a kontrolující provoz na sběrnicích	227
18.3.1.2.	Organizace styku s hlavní pamětí	228
18.3.2.	Hlavní paměť	230
18.3.3.	Inovace hlavní paměti a organizačního modulu	231
18.4.	Univerzální přenosový procesor	233
18.4.1.	Vnitřní adaptér	234
18.4.2.	Operační blok	236
18.4.3.	Struktura přenosového procesoru z hlediska zabezpečení	238
18.4.4.	Styk mezi moduly systému	240
18.4.4.1.	Adresová sběrnice	242
18.4.5.	Příklad	244
18.5.	Multiplexní modul	248
18.5.1.	Popis činnosti multiplexního modulu při V/V instrukcích	249
18.5.2.	Struktura multiplexního modulu	251
18.6.	Servisní modul	254
18.6.1.	Úvod	254
18.6.2.	Struktura speciální části externího adaptéru	254
18.6.2.1.	Pevná paměť s řadičem (PEPA)	255
18.6.2.2.	Obvod start - stop	255
18.6.2.3.	Hlídač aktivity SRM	256
18.6.2.4.	Obvod STOPADRESA	256
18.6.2.5.	Čítač chyb hlavní paměti	256
18.6.2.6.	Obvody přímého styku s moduly	258
18.6.2.7.	Dekodéry mikroinstrukcí externího adaptéru	258
18.6.2.8.	Registr výzvy KOMØ	258
18.6.3.	Činnost servisního modulu	259
18.6.3.1.	Příprava systému EC 1025 k činnosti	259
18.6.3.2.	Dohled na činnost systému	259
18.6.3.3.	Vstupní a výstupní operace SRM	260
18.6.3.4.	Manuální operace z operátorského pracoviště	260
18.6.3.5.	Ošetření mimořádných stavů modulů	260
18.6.3.6.	Reakce na žádost o obsluhu	260
18.6.3.7.	Reakce na chyby hlavní paměti	260
18.6.3.8.	Reakce na chyby mezimodulového styku	260

18.6.3.9. Reakce na chyby SRM	str. 261
18.6.4. Prostředky pro oživování a diagnostiku SRM	261
18.6.4.1. Diagnostika tvrdého jádra	261
18.6.4.2. Diagnostika zbývající části SRM	261
18.6.4.3. Diagnostika organizačního modulu	262
18.6.5. Prostředky pro diagnostiku počítače EC 1025	262
 Příloha 1 : Instrukční graf mikroprocesoru I 8080	 263
Příloha 2 : Tabulka instrukčního kódu mikroprocesorů I 8080 a I 8085	267
 LITERATURA	 268