

O B S A H :

11.	ZÁKLADNÍ JEDNOTKA MIKROPOČÍTAČE ŘADY MCS-80	str. 3
11.1.	Mikroprocesor I 8080A	3
11.1.1.	Struktura mikroprocesoru	3
11.1.2.	Instrukční soubor I 8080A	9
11.1.3.	Komunikace I 8080A s pamětí a s přidavnými zařízeními	20
11.2.	Generátor hodinových pulsů I 8224	28
11.3.	Systémový řadič a budič datové sběrnice I 8228	31
11.4.	Jazyk symbolických adres pro I 8080/8085	35
12.	PAMĚŤOVÝ PODSYSTÉM MIKROPOČÍTAČE ŘADY MCS-80	40
12.1.	Paměťové obvody	40
12.2.	Návrh paměťového podsystemu. Adresový dekodér I 8205	40
12.3.	Výkonové poměry na sběrnicích mikropočítače	46
12.3.1.	Budič 4bitové paralelní oboustranné sběrnice I 8216/8226	46
12.3.2.	8bitová vstupní/výstupní brána I 8212	47
13.	VSTUPNÍ/VÝSTUPNÍ PODSYSTÉM MIKROPOČÍTAČE ŘADY MCS-80	51
13.1.	Způsoby adresace V/V zařízení	51
13.2.	Připojení V/V zařízení se sériovým vstupem/výstupem dat	52
13.2.1.	Programově řízený sériový V/V - I 8212	52
13.2.2.	Sériový V/V řízený technickými prostředky - USART I 8251	54
13.3.	Připojení V/V zařízení e paralelním vstupem/výstupem dat	66
13.3.1.	Pomalý paralelní V/V - I 8212, I 8255A	66
13.3.2.	Rychlý paralelní V/V - programovatelný řadič DMA I 8257	76
13.4.	Obsluha žádosti V/V zařízení o přerušeni výpočtu mikroprocesoru	84
13.4.1.	Řadič přerušeni I 8214	85
13.4.2.	Programovatelný řadič přerušeni I 8259A	88
14.	NÁVRH MIKROPOČÍTAČE ŘADY MCS-85	97
14.1.	Mikroprocesor I 8085A	97
14.1.1.	Struktura mikroprocesoru	98
14.1.2.	Instrukční soubor I 8085A	101
14.1.3.	Komunikace I 8085A s pamětí a s přidavnými zařízeními	102
14.1.4.	Řízení sériového V/V a instrukce RIM a SIM	106
14.2.	Podpůrné kombinované paměťové a V/V obvody řady MCS-85	108
14.2.1.	Obvody I 8155/8156 (RAM + V/V + časovač)	108
14.2.2.	Obvody I 8355/8755 (ROM/EPROM + V/V)	114
14.3.	Připojení obvodů řady MCS-80 k mikropočítači řady MCS-85	115
14.4.	Dvě aplikace s mikroprocesorem I 8085A	116
14.4.1.	Sériový vstup/výstup dat	116
14.4.2.	Rychlé zpracování bloku dat	117
15.	PROSTŘEDKY USNADŇUJÍCÍ NÁVRH MIKROPROCESOROVÉHO SYSTÉMU S I 8080/8085	124
15.1.	Výuková stavebnice SDK-85	125
15.1.1.	Popis technických prostředků stavebnice	125
15.1.2.	Komunikace s monitorem z klávesnice	129
15.1.3.	Komunikace s monitorem z dálnopisu	131
15.1.4.	Využití některých podprogramů monitoru v uživatelském programu	132

15.1.5.	Pokyny pro ladění programu na SDK-85	str. 133
15.2.	Mikropočítačový vývojový systém MVS 800	134
15.2.1.	Popis technických prostředků systému	134
15.2.2.	Monitor MVS	140
15.2.3.	Zavedení a spuštění assembleru MVS	148
15.2.4.	Textový editor MVS	148
15.2.5.	Využití V/V podsystému MVS 800 v uživatelském programu	154
15.2.5.1.	Podprogramy pro ovládání standardních přídatných zařízení	155
15.2.5.2.	Podprogramy řídicí a zjišťující stav vývojového systému	157
15.2.5.3.	Začlenění vlastního řízení periférií do V/V systému MVS	160
15.3.	Mikropočítač ISBC 80/20. Stavebnicový systém MIKROSAT	160
16.	PROGRAMOVÁNÍ PEVNÝCH PAMĚTÍ	162
16.1.	Doporučené formáty a media se vzorovými daty	162
16.1.1.	Formát iHEX pro děrnou pásku	163
16.1.2.	Formát BNPF	165
16.1.3.	Specifikace formátů používaných k.p. Tesla Rožnov	166
16.2.	Programování bipolárních pamětí PROM	170
16.2.1.	Programování bipolárních pamětí PROM fy Intel	170
16.2.2.	Programování pamětí MH 74188	171
16.3.	Programování MOS PROM pamětí	174
16.4.	Mazání pamětí UV EPROM	178
17.	MINIPOČÍTAČE TYPU ADT 4000 a 4500	180
17.1.	ADT 4000	180
17.1.1.	Blokové schéma	180
17.1.2.	Typy cyklů	183
17.1.3.	Vstupní/výstupní obvody	183
17.1.4.	Zpracování V/V instrukcí	183
17.1.5.	Zpracování žádosti o obsluhu	184
17.1.6.	V/V moduly	184
17.1.7.	Adresování V/V modulů	184
17.1.8.	Přenos dat	185
17.1.9.	Činnost obvodů V/V modulu	185
17.1.10.	Přerušovací systém je blokován	187
17.1.11.	Přerušovací systém odblokován	189
17.1.12.	Podmínky přerušování	189
17.1.13.	Priorita	189
17.1.14.	Přímý přístup k paměti - DMA	190
17.1.15.	Procesor	191
17.1.16.	Rozšířená aritmetika	193
17.2.	ADT 4500	194
17.2.1.	Blokové schéma	195
17.2.2.	Mikroprogramový řadič	196
17.2.3.	Operační paměť	196
17.2.4.	Dynamicky mapovací systém DMS	197
17.2.5.	Univerzální zápisníkové registry a další registry	198
17.2.6.	Aritmeticko-logická jednotka, posuvy a rotace	199

18.	ČESKOSLOVENSKÝ POČÍTAČ EC 1025 - POPIS STRUKTURY A ČINNOSTI	str. 201
18.1.	Základní charakteristiky EC 1025	201
18.1.1.	Způsoby nasazení počítače EC 1025	206
18.2.	Operační modul	207
18.2.1.	Struktura OPM	207
18.2.1.1.	Výkonné obvody	207
18.2.1.2.	Řadič OPM	215
18.2.1.3.	Vnitřní adaptér	219
18.2.2.	Řídicí mikroprogramy operačního modulu	219
18.2.3.	Řízení činnosti OPM	220
18.2.4.	Soubor instrukcí	221
18.2.5.	Soubor mikroinstrukcí OPM	222
18.2.6.	Hlavní technická data OPM a jeho inovace	223
18.2.7.	Příklady	225
18.3.	Organizační modul a hlavní paměť	227
18.3.1.	Organizační modul	227
18.3.1.1.	Obvody organizující a kontrolující provoz na sběrnicích	227
18.3.1.2.	Organizace styku s hlavní pamětí	228
18.3.2.	Hlavní paměť	230
18.3.3.	Inovace hlavní paměti a organizačního modulu	231
18.4.	Univerzální přenosový procesor	233
18.4.1.	Vnitřní adaptér	234
18.4.2.	Operační blok	236
18.4.3.	Struktura přenosového procesoru z hlediska zabezpečení	238
18.4.4.	Styk mezi moduly systému	240
18.4.4.1.	Adresová sběrnice	242
18.4.5.	Příklad	244
18.5.	Multiplexní modul	248
18.5.1.	Popis činnosti multiplexního modulu při V/V instrukcích	249
18.5.2.	Struktura multiplexního modulu	251
18.6.	Servisní modul	254
18.6.1.	Úvod	254
18.6.2.	Struktura speciální části externího adaptoru	254
18.6.2.1.	Pevná paměť s řadičem (PEPA)	254
18.6.2.2.	Obvod start - stop	255
18.6.2.3.	Hlídač aktivity SRM	255
18.6.2.4.	Obvod STOPADRESA	256
18.6.2.5.	Čítač chyb hlavní paměti	256
18.6.2.6.	Obvody přímého styku s moduly	256
18.6.2.7.	Dekodéry mikroinstrukcí externího adaptoru	258
18.6.2.8.	Registr výzvy KOMØ	258
18.6.3.	Činnost servisního modulu	258
18.6.3.1.	Příprava systému EC 1025 k činnosti	259
18.6.3.2.	Dohled na činnost systému	259
18.6.3.3.	Vstupní a výstupní operace SRM	259
18.6.3.4.	Manuální operace z operátorského pracoviště	260
18.6.3.5.	Ošetření mimořádných stavů modulů	260
18.6.3.6.	Reakce na žádost o obsluhu	260
18.6.3.7.	Reakce na chyby hlavní paměti	260
18.6.3.8.	Reakce na chyby mezimodulového styku	260

18.6.3.9. Reakce na chyby SRM	str.	261
18.6.4. Prostředky pro oživování a diagnostiku SRM		261
18.6.4.1. Diagnostika tvrdého jádra		261
18.6.4.2. Diagnostika zbývající části SRM		261
18.6.4.3. Diagnostika organizačního modulu		262
18.6.5. Prostředky pro diagnostiku počítače EC 1025		262
Příloha 1 : Instrukční graf mikroprocesoru I 8080		263
Příloha 2 : Tabulka instrukčního kódu mikroprocesorů I 8080 a I 8085		267
LITERATURA		268