

- [47] Electronic Design, 12, 1979, June 7.
- [48] LAUDE, D. a dal.: A 5 V temperature-regulated reference. Proc. IEEE International Solid-State Circuits Conference, 1980.
- [49] Katalog fy Philips. June 1976.
- [50] MATYÁŠ, E.: Návod k použití programu ANLEO. Zpráva TESLA Rožnov, 1978.
- [51] VLČEK, J.: Využití souboru programů ANEO a ANLEO pro řešení dynamických parametrů MSI obvodů. Závěrečná zpráva, TESLA Rožnov, 1979.
- [52] ŘÍZEK, S.: ISOB. Výzkumná zpráva Z-744/A. ÚŘE ČSAV, Praha 1975.
- [53] Polovodičové součástky. Katalog TESLA. Rožnov 1981.
- [54] LAIPERT, M. - KADLEC, J. - MARTINEK, P.: Rozbor vlastností dvojitě vyváženého modulátoru. Slaboproudý obzor, 44, 1983, č. 2, s. 60-65.
- [55] POLÁŠEK, P.: Návrh zákaznických bipolárních IO. In: Aktuality konstrukce a technologie součástek TESLA, Dům techniky ČSVTS Ostrava, 1983.
- [56] POLÁŠEK, P. a dal.: Zákaznické integrované obvody I<sup>2</sup>L. TESLA Rožnov, 1981.
- [57] TOMES, M. - BRZOBOHATÝ, J.: Modelování a navrhování mikroelektronických prvků a obvodů. Skriptum FE VUT Brno, SNTL, Praha 1983.
- [58] HOTTA, A. a dal.: A high-speed low power 4096 x 1 bit bipolar RAM. IEEE J. Solid-State Circuits, SC-13, 1978, Oct., č. 5.
- [59] BUDÍNSKÝ, J.: Polovodičové obvody pro číslicovou techniku. Praha, SNTL 1973.
- [60] CHANT, D.: Software logic-cells-fast. low cost solution for custom LSI. Electronic Design, 24, 1981.
- [61] Gate arrays - the quick key to smaller, simpler boards. Electronic Design, 24, 1981.
- [62] PITTS, R.C.: Gate array-cost-slashing replacement for SSI, MSI. Electronic Design, 24, 1981.
- [63] ZNAMENÁČEK, Z. a dal.: Dílčí zpráva úkolu 5033, VÚVT, Žilina 1982.
- [64] MATYÁŠ, E. a dal.: Dílčí zpráva úkolu logické simulace, IV-561. TESLA Rožnov 1982.
- [65] HORÁKOVÁ, H. a dal.: Minimální verze vstupního jazyka pro zadávání vstupních sekvencí logické simulace. Dílčí zpráva, IV-560. TESLA Rožnov 1982.

## 9 . OBSAH

1.	Úvod .....	3
2.	Automatizovaný návrh mikroelektronických prvků a obvodů .....	9
3.	Základní výpočty polovodičových struktur .....	20
3.1.	Měrný odpor polovodičového materiálu .....	20
3.2.	Průměrná vodivost difúzních vrstev .....	20
3.3.	Šířka oblastí prostorového náboje .....	21
3.4.	Gradient koncentrace příměsí .....	24
3.5.	Průřezná napětí přechodů .....	24
3.5.1.	Zenerův průřez .....	24
3.5.2.	Lavinový průřez .....	26
3.6.	Dotáční profil NPN tranzistoru .....	29
3.6.1.	Typický dotáční profil NPN tranzistoru .....	29
3.6.2.	Boční rozdifundování při difúzi .....	29
3.7.	Hlavní parametry unifikovaných technologií, konstrukční zásady ....	29
3.7.1.	Standardní proces I .....	29
3.7.2.	Standardní proces II .....	31
4.	Návrh základních morfologických prvků .....	35
4.1.	Omezení pracovního rozsahu tranzistorů .....	35
4.1.1.	Ochranná pracovní plocha .....	36
4.1.2.	Tepelná zpětná vazba .....	37
4.2.	Návrh morfologie tranzistoru NPN .....	39
4.3.	Návrh morfologie tranzistorů PNP .....	40

4.4.	Návrh morfologie diod .....	43
4.5.	Návrh morfologie kapacitorů .....	44
4.5.1.	Přechodové kapacitory .....	44
4.5.2.	Kapacitory MOS .....	45
4.6.	Návrh morfologie rezistorů .....	45
4.6.1.	Difúzní rezistory .....	45
4.6.2.	Objemové rezistory .....	46
4.6.3.	Pinch rezistory .....	46
4.6.4.	Tenkovrstvé rezistory .....	47
4.6.5.	Iontové impla ntované rezistory .....	47
4.7.	Návrh morfologie JFET tranzistoru .....	47
4.8.	Parazitní jevy .....	48
4.8.1.	Parazitní jevy u NPN tranzistoru .....	49
4.8.2.	Parazitní jevy u PNP laterálního tranzistoru .....	50
4.8.3.	Parazitní jevy u PNP substrátového tranzistoru .....	50
4.8.4.	Parazitní jevy u diodových zapojení .....	50
4.8.5.	Parazitní jevy u rezistorů .....	51
4.9.	Diagnostika závad tranzistorů .....	55
4.9.1.	Objemové vlivy v PN přechodu .....	55
4.9.2.	Vlivy povrchů .....	57
4.10.	Knihovny tranzistorů .....	60
4.10.1.	Knihovna tranzistorů NPN .....	60
4.10.2.	Knihovna tranzistorů NPN se Schottkyho diodami .....	60
4.10.3.	Knihovna laterálních PNP tranzistorů .....	61
4.10.4.	Knihovna substrátových PNP tranzistorů .....	61
4.11.	Knihovny obecných morfologických prvků .....	61
5.	Modely a modelování .....	71
5.1.	Třídění modelů .....	73
5.2.	Identifikace parametrů modelu .....	76
6.	Návrh bipolárních analogových integrovaných obvodů .....	101
6.1.	Základní obvodové funkční bloky .....	101
6.1.1.	Zdroje proudu .....	101
6.1.1.1.	Tradiční zdroje proudu .....	101
6.1.1.2.	Kaskádní zapojení zdrojů proudu .....	103
6.1.1.3.	Zdroje proudu s přenosem $S \neq 1$ .....	104
6.1.1.4.	Špičkový zdroj proudu .....	105
6.1.2.	Zdroje napětí .....	107
6.1.2.1.	Tradiční zdroje napětí .....	107
6.1.2.2.	Zdroje napětí typu "BAND-GAP" .....	108
6.1.3.	Oddělovací napětové stupně .....	110
6.1.4.	Diferenční stupně .....	111
6.2.	Návrh bipolárních analogových integrovaných obvodů podle vzoru ..	115
6.2.1.	Vyhledání publikovaných pramenů .....	115
6.2.2.	Proměření elektrických parametrů zahraničního vzoru .....	116
6.2.3.	Rozbor zahraničního vzoru .....	117
6.2.4.	Nalezení skutečného elektrického schématu .....	117
6.2.5.	Studium činnosti integrovaného obvodu .....	117
6.2.6.	Odhad nejbližší vlastní unifikované technologie .....	118
6.2.7.	Identifikace parametrů modelu .....	118
6.2.8.	Elektrická simulace činnosti obvodu .....	118
6.2.9.	Návrh morfologie čipu integrovaného obvodu .....	125
6.2.10.	Návrh hromadných a individuálních technologických operací .....	125
6.3.	Návrh nových (zákaznických) integrovaných obvodů .....	126
6.3.1.	Návrh funkčních bloků .....	126
6.3.2.	Příklad návrhu funkčního bloku .....	126
7.	Návrh bipolárních číslicových integrovaných obvodů .....	132
7.1.	Základní obvodové (funkční) bloky pro číslicové integrované obvody	132
7.1.1.	Hradla realizující funkci NAND .....	133
7.1.2.	Hradla STTL, STL a ISL .....	134
7.1.3.	Převodníky vstup/výstup .....	134
7.2.	Návrh bipolárních číslicových integrovaných obvodů podle vzoru ...	135
7.2.1.	Příklad logické simulace .....	135
7.3.	Návrh polozákaznických integrovaných obvodů .....	139
7.3.1.	Analýza hradla fy DEC v časové oblasti .....	141
8.	Literatura .....	148
9.	Obsah .....	150