

Předmluva.....	6
Seznam použitých zkratk.....	7
1. Principy a součástková základna pro zařízení PDH.....	10
1.1 Přenosová síť a přenosová zařízení.....	10
1.2 Základní pojmy PDH.....	12
1.3 PCM multiplexní zařízení 1. řádu.....	13
1.3.1 Princip PCM multiplexního zařízení 1. řádu.....	14
1.4 Realizace PCM multiplexního zařízení 1. řádu.....	16
1.4.1 Příspěvková jednotka.....	17
1.4.1.1 Popis činnosti obvodu Legerity Le79R251.....	19
1.4.1.2 Popis činnosti obvodu Legerity Le79Q2243.....	20
1.4.2 Rámcovací obvod E1.....	21
1.4.2.1 Popis činnosti obvodu Dallas DS2154.....	21
1.4.3 Časové základny.....	23
1.4.4 Řízení a dohled.....	23
1.4.5 Sběrnice.....	25
1.4.5.1 Sběrnice ST-BUS (Serial Telecom Bus).....	25
1.4.6 Linkové zakončení E1.....	29
1.5 Digitální multiplexní zařízení.....	29
1.5.1 Princip digitálního multiplexního zařízení PDH 2. řádu.....	31
1.5.2 Vyrovnávání přenosových rychlostí.....	33
1.5.2.1 Kladný stuffing.....	33
1.5.2.2 Záporný stuffing.....	33
1.5.2.3 Kombinovaný stuffing.....	34
1.6 Realizace digitálního multiplexního zařízení PDH 2. řádu a vyšších řádů.....	35
1.6.1 Rámcovací obvody E2 a vyšších řádů.....	35
1.6.1.1 Popis činnosti obvodu Intel LXT6234.....	35
1.6.1.2 Popis činnosti obvodu TranSwitch TXC-03361.....	37
1.7 Linková zakončení.....	39
1.7.1 Princip linkového zakončení.....	40
1.7.1.1 Popis činnosti obvodu Crystal CS61574A (CS61575).....	41
1.7.1.2 Popis ochranných obvodů LIU.....	41
1.7.1.3 Popis obvodu potlačení jitteru.....	42
1.7.1.4 Obvod Intel LXT384.....	43
1.7.1.5 Popis činnosti obvodu TranSwitch TXC-02050.....	45
1.8 Literatura a odkazy.....	46
2. Integrovaný tranzitní blok digitálního spojovacího systému MEDIO.....	48
2.1 Digitální spojovací systém MEDIO.....	49
2.1.1 Obecné informace.....	49
2.1.2 Uspořádání spojovacího systému.....	50
2.2 Integrovaný tranzitní blok E1.....	53
2.2.1 Funkce a rozhraní integrovaného tranzitního bloku E1.....	54
2.2.2 Blokové schéma integrovaného tranzitního bloku E1.....	55
2.3 Literatura a odkazy.....	64
3. Přípravek E1_ISA_BOARD.....	65
3.1 Popis přípravku.....	65
3.2 Souhrn možných měření.....	66
3.3 Elektrické schéma přípravku.....	66
3.4 Požadavky na počítač.....	66
3.5 Programové vybavení.....	72

3.6	Literatura a odkazy .....	73
4.	Využití přípravku E1_ISA_BOARD ve výuce .....	74
4.1	První skupina úloh .....	74
4.1.1	Měření na systémové sběrnici .....	74
4.1.1.1	Zadání .....	74
4.1.1.2	Domácí příprava .....	74
4.1.1.3	Potřebné měřicí přístroje a přípravky .....	74
4.1.1.4	Schéma zapojení .....	75
4.1.1.5	Popis měření .....	75
4.1.1.6	Ovládání programu .....	76
4.1.2	Měření rozhraní E1 testerem PCM30/32 SunLite E1 .....	77
4.1.2.1	Zadání .....	77
4.1.2.2	Domácí příprava .....	77
4.1.2.3	Potřebné měřicí přístroje a přípravky .....	77
4.1.2.4	Schéma zapojení .....	77
4.1.2.5	Ovládání programu .....	78
4.1.2.6	Postup měření .....	78
4.1.3	Měření rozhraní E1 demultiplexním analyzátozem K4400 .....	79
4.1.3.1	Zadání .....	79
4.1.3.2	Domácí příprava .....	79
4.1.3.3	Potřebné měřicí přístroje a přípravky .....	79
4.1.3.4	Ovládání programu .....	80
4.1.3.5	Schéma zapojení .....	80
4.1.3.6	Postup měření .....	80
4.1.4	Spolupráce dvou přenosových zařízení .....	81
4.1.4.1	Zadání .....	81
4.1.4.2	Domácí příprava .....	81
4.1.4.3	Potřebné měřicí přístroje a přípravky .....	81
4.1.4.4	Schéma zapojení .....	81
4.1.4.5	Ovládání programu .....	82
4.1.4.6	Postup měření .....	82
4.1.5	Měření elektrických vlastností rozhraní E1 .....	83
4.1.5.1	Zadání .....	83
4.1.5.2	Domácí příprava .....	83
4.1.5.3	Potřebné měřicí přístroje a přípravky .....	83
4.1.5.4	Schéma zapojení .....	83
4.1.5.5	Ovládání programu .....	84
4.1.5.6	Postup měření .....	84
4.2	Druhá skupina úloh .....	84
4.2.1	Měření na systémové sběrnici .....	84
4.2.1.1	Zadání .....	84
4.2.1.2	Domácí příprava .....	84
4.2.1.3	Potřebné měřicí přístroje a přípravky .....	84
4.2.1.4	Schéma zapojení .....	85
4.2.1.5	Postup měření .....	85
4.2.2	Měření rozhraní E1 testerem PCM30/32 SunLite E1 .....	85
4.2.2.1	Zadání .....	85
4.2.2.2	Domácí příprava .....	85
4.2.2.3	Potřebné měřicí přístroje a přípravky .....	85
4.2.2.4	Schéma zapojení .....	86



4.2.2.5	Postup měření.....	86
4.2.3	Měření rozhraní E1 demultiplexním analyzátozem K4400.....	88
4.2.3.1	Zadání.....	88
4.2.3.2	Domácí příprava.....	88
4.2.3.3	Potřebné měřicí přístroje a přípravy.....	88
4.2.3.4	Schéma zapojení.....	88
4.2.3.5	Postup měření.....	88
4.2.4	Spolupráce dvou přenosových zařízení.....	89
4.2.4.1	Zadání.....	89
4.2.4.2	Domácí příprava.....	89
4.2.4.3	Potřebné měřicí přístroje a přípravy.....	90
4.2.4.4	Schéma zapojení.....	90
4.2.4.5	Postup měření.....	90
4.2.5	Měření elektrických vlastností rozhraní E1.....	91
4.2.5.1	Zadání.....	91
4.2.5.2	Domácí příprava.....	91
4.2.5.3	Potřebné měřicí přístroje a přípravy.....	91
4.2.5.4	Schéma zapojení.....	91
4.2.5.5	Postup měření.....	92
4.3	Literatura a odkazy.....	92
5.	Přípravek FPGA_PCI_ISA_BOARD.....	93
5.1	Popis vývojového přípravku.....	93
5.2	Elektrické schéma přípravku.....	94
5.3	Požadavky na počítač.....	94
5.4	Programové vybavení.....	94
5.5	Literatura a odkazy.....	103
6.	Jazyk VHDL.....	104
6.1	Popis struktury.....	104
6.2	Popis funkce.....	105
6.3	Objekty a datové typy.....	105
6.3.1	Obecná pravidla popisu pomocí VHDL.....	105
6.3.2	Datové typy.....	107
6.3.3	Objekty.....	108
6.4	Strukturní popis obvodu.....	109
6.5	Funkční popis obvodu.....	114
6.5.1	Výrazy a operátory.....	115
6.5.2	Paralelní prostředí.....	117
6.5.3	Sekvenční prostředí.....	118
6.6	Simulace obvodů.....	122
6.7	Literatura a odkazy.....	125
7.	Popis jednoduchých obvodů pomocí VHDL.....	126
7.1	Příklad 1 – Dvoustupý multiplexor.....	126
7.2	Příklad 2 – Klopný obvod typu D.....	128
7.3	Příklad 3 – Klopný obvod typu D s asynchronním resetem.....	130
7.4	Příklad 4 – Klopný obvod typu D se synchronním resetem.....	132
7.5	Příklad 5 – Čtyřbitový posuvný registr.....	133
7.6	Příklad 6 – Čtyřbitový posuvný registr s paralelním výstupem.....	135
7.7	Příklad 7 – Čtyřbitový posuvný registr s paralelním plněním.....	137
7.8	Příklad 8 – Binární čítač modulo 16.....	139
7.9	Příklad 9 – Binární čítač modulo 3.....	141

7.10	Příklad 10 – Binární čítač modulo 4 s nastavením směru čítání .....	142
7.11	Literatura a odkazy .....	143
8.	Konstrukce obvodu realizovaného pomocí FPGA .....	144
8.1	Implementace obvodů popsanych pomocí VHDL v FPGA .....	146
8.1.1	Multiplexory .....	146
8.1.2	Povolení hodinového signálu .....	148
8.1.3	RWM .....	150
8.2	Literatura a odkazy .....	154
9.	Články spojovacích polí – zadání úloh .....	155
9.1	Úloha 1 .....	155
9.2	Úloha 2 .....	156
9.3	Úloha 3 .....	156
9.4	Úloha 4 .....	158
9.5	Úloha 5 .....	158
9.6	Úloha 6 .....	159
9.7	Úloha 7 .....	160
9.8	Úloha 8 .....	161
9.9	Literatura a odkazy .....	163
10.	Popis měřicích karet pro laboratorní úlohy .....	164
10.1	Dvoukanálový generátor funkcí M321 .....	164
10.1.1	Popis funkce generátoru .....	164
10.1.2	Ovládání generátoru .....	165
10.2	Osciloskop M221 .....	170
10.2.1	Popis hlavní obrazovky osciloskopu .....	170
10.2.2	Nastavení zobrazení kurzoru a mřížky .....	171
10.2.3	Nastavení režimu zobrazení stopy .....	172
10.2.4	Operace s naměřenými daty .....	172
10.2.5	Ovládání režimu spouštění .....	173
10.2.6	Přepínání rozsahů a vertikální posun .....	173
10.3	Logický analyzátor M121 .....	173
10.3.1	Popis hlavní obrazovky .....	174
10.3.2	Digitální filtr pro spouštění .....	174
10.3.3	Měření před synchronizační událostí .....	174
10.3.4	Práce s digitálními signály .....	175
10.3.5	Další nastavení synchronizace .....	176
10.4	Literatura a odkazy .....	176
11.	Testování metodou Boundary Scan .....	177
11.1	Princip metody .....	178
11.1.1	Boundary Scan buňka .....	178
11.1.2	Boundary Scan obvodu .....	180
11.1.3	Boundary Scan instrukce .....	183
11.2	Využití Boundary Scan pro testování .....	185
11.2.1	Metody testování pro desky plošných spojů .....	186
11.2.2	Testování mezi obvody podporujícími Boundary Scan .....	187
11.2.3	Testování mezi obvody nepodporujícími Boundary Scan .....	188
11.3	BSDL .....	189
11.3.1	Popis jazyka .....	190
11.3.2	Obsah BSDL entity .....	191
11.3.2.1	Generic parameter .....	192
11.3.2.2	Logical port description .....	192



11.3.2.3	Standard use statement, use statement .....	193
11.3.2.4	Component conformance statement .....	193
11.3.2.5	Device package pin mappings.....	193
11.3.2.6	Grouped port identification .....	194
11.3.2.7	Scan port identification .....	194
11.3.2.8	Compliance enable description .....	195
11.3.2.9	Instruction register description.....	195
11.3.2.10	Optional register description .....	195
11.3.2.11	Register access description.....	196
11.3.2.12	Boundary scan register description .....	196
11.3.2.13	RUNBIST description.....	197
11.3.2.14	INTEST description .....	198
11.3.2.15	BSDL extensions.....	198
11.3.2.16	Design warning .....	198
11.3.3	Alternativní využití JTAG rozhraní .....	198
11.4	Literatura a odkazy.....	199