

1.	ÚVOD	9
1.1.	Vývoj samočinných počítačů	9
1.1.1.	Analogové počítače	10
1.1.2.	Hybridní počítače	11
1.1.3.	Číslicové počítače	11
1.2.	Základní struktury číslicových počítačů	13
1.2.1.	Klasická koncepce počítače	13
1.2.2.	Kanálová koncepce	14
1.2.3.	Počítače se sběrníkovou koncepcí	15
1.2.4.	Podstata činnosti číslicového počítače	16
2.	ČÍSLICOVÉ POČÍTAČE	19
2.1.	Číselné soustavy	19
2.1.1.	Dvojková soustava	21
2.1.2.	Osmičková soustava	24
2.1.3.	Šestnáctková soustava	25
2.1.4.	Aritmetické operace	27
2.1.5.	Kódovaná desítková soustava	31
2.1.6.	Cvičení	32
2.2.	Logické obvody a logické funkce	33
2.2.1.	Základní rozdělení logických obvodů	34
2.2.2.	Základní logické funkce	38
2.2.3.	Booleova algebra	40
2.2.4.	Zápis logické funkce	41
2.2.4.1.	Tabulky	42
2.2.4.2.	Algebraické výrazy a normální formy	43
2.2.4.3.	Logické mapy	45
2.2.5.	Minimalizace	46
2.2.5.1.	Algebraická metoda minimalizace	47
2.2.5.2.	Metoda Karnaughovy mapy	48
2.2.5.3.	Quineova-McCluskeyova metoda	53
2.2.6.	Cvičení	65
2.3.	Kombinační logické obvody	66
2.3.1.	Základní logické členy a principy, jejich realizace	66
2.3.1.1.	Součtový logický člen	66
2.3.1.2.	Součinový logický člen	68
2.3.1.3.	Invertor	69
2.3.1.4.	Shefferův a Peirceův člen	70
2.3.2.	Syntéza kombinačních logických obvodů	71
2.3.2.1.	Návrh logické sítě se strukturou I-NEBO	73
2.3.2.2.	Návrh logických sítí s členy NAND a NOR	75
2.3.2.3.	Návrh třístupňové logické sítě s členy NAND	78
2.3.2.4.	Logické sítě s členy o omezeném počtu vstupů	82
2.3.3.	Analýza logické sítě	84
2.3.4.	Typické kombinační logické obvody	88

2.3.4.1.	Jednoduché funkční obvody	89
2.3.4.2.	Dekodéry	97
2.3.5.	Cvičení	102
2.4.	Sekvenční logické obvody	103
2.4.1.	Paměťové logické členy	106
2.4.1.1.	Klopný obvod <i>RS</i>	106
2.4.1.2.	Klopky obvod <i>JK</i>	109
2.4.1.3.	Klopný obvod <i>T</i>	112
2.4.1.4.	Klopný obvod <i>D</i>	113
2.4.1.5.	Dvoufázové klopné obvody	114
2.4.2.	Syntéza sekvenčních logických obvodů	117
2.4.3.	Typické sekvenční logické obvody číslicových počítačů	124
2.4.3.1.	Registr	124
2.4.3.2.	Posuvný registr	125
2.4.3.3.	Čítač	127
2.4.3.4.	Desítkový čítač	129
2.4.3.5.	Vratný čítač	130
2.4.3.6.	Střadač	132
2.4.4.	Cvičení	136
2.5.	Fyzikální realizace logických obvodů	136
2.5.1.	Logické obvody s bipolárními tranzistory	136
2.5.2.	Logické obvody s tranzistory MOS	143
2.6.	Paměti číslicových počítačů	147
2.6.1.	Obečné charakteristiky	147
2.6.2.	Feritové paměti	148
2.6.2.1.	Feritová paměť s lineárním (adresovým) výběrem	148
2.6.2.2.	Feritová paměť s koincidenčním (souřadnicovým) výběrem	153
2.6.3.	Paměti s tenkými magnetickými vrstvami	155
2.6.4.	Magnetické bublinové paměti	157
2.6.5.	Polovodičové paměti	159
2.6.5.1.	Třídění polovodičových pamětí	159
2.6.5.2.	Bipolární polovodičové paměti	160
2.6.5.3.	Unipolární polovodičové paměti	162
2.6.5.4.	Pevné paměti	163
2.7.	Pomocné obvody	168
2.7.1.	Monostabilní klopný obvod	168
2.7.2.	Zdroje jednoho impulsu	169
2.7.3.	Generátory hodinových impulsů	171
3.	ANALOGOVÉ POČÍTAČE	173
3.1.	Podstata analogových počítačů, modelování	173
3.2.	Operační zesilovač	176
3.3.	Lineární počítačové jednotky	177
3.4.	Nelineární počítačové jednotky	180
3.4.1.	Diodové omezovače	181
3.4.2.	Diodové funkční měniče	182
3.4.3.	Diodové násobičky	183
3.4.4.	Servonásobičky	184
3.5.	Výstupní zařízení	185
3.5.1.	Pomaloběžný osciloskop	185
3.5.2.	Souřadnicový zapisovač	187
3.6.	Převodníky	188
3.6.1.	Číslicově analogové převodníky (převodníky Č/A)	188
3.6.2.	Analogově číslicové převodníky (převodníky A/Č)	191
3.7.	Základy programování analogových počítačů	193

3.7.1.	Úvod	193
3.7.2.	Programování pomocí schematických značek	194
3.7.3.	Metoda snižování řádu derivace	196
3.7.4.	Metoda postupné integrace	197
3.7.5.	Podrobná programová schémata	199
3.7.6.	Cvičení	206
4.	PRAKTICKÁ CVIČENÍ	207
4.1.	Cvičení a kombinační obvody	212
4.1.1.	Negace	213
4.1.2.	Logický součin dvou proměnných	214
4.1.3.	Logický součet dvou proměnných	214
4.1.4.	Důkaz zákona absorpce negace	216
4.1.5.	Návrh logické sítě zadané tabulkou	217
4.1.6.	Kombinační logický obvod se třemi výstupy	218
4.1.7.	Porovnávací obvod dvou dvoubitových čísel	220
4.1.8.	Obvod pro vytvoření liché parity	221
4.1.9.	Převodník Aikenova kódu na kód 8421 + 3	222
4.2.	Modelování sekvenčních logických obvodů	225
4.2.1.	Modelování klopného obvodu RS pomocí čtyř dvouvstupových hradel NAND (MH 7400)	225
4.2.2.	Modelování klopného obvodu D	227
4.2.3.	Popis základních sekvenčních modulů	228
4.2.4.	Dvojkový čítač odečítající	229
4.2.5.	Dvojkový čítač s předvolbou počtu stavů	230
4.2.6.	Desítkový čítač v Aikenově kódu	230
4.2.7.	Posuvný registr se sériovým vstupem	232
4.2.8.	Kruhový registr	232
4.2.9.	Posuvný registr s paralelním a sériovým vstupem	232
4.3.	Analogové počítače MEDA	233
4.3.1.	Obsluha počítače	233
4.3.2.	Modelování elektrických obvodů	234
4.3.3.	Generování funkcí času	242
4.3.4.	Cvičení	244
5.	VÝSLEDKY NĚKTERÝCH CVIČENÍ	246