

Obsah

I.	Úvod	9
1.	Přehled vývoje polovodičových pamětí	9
2.	Koncepce LSI	13
3.	Klasifikace polovodičových pamětí a jejich základní vlastnosti	15
4.	Princip činnosti a základní vlastnosti tranzistorů MOS	19
5.	Struktury MOS a jejich vlastnosti	25
6.	Bipolární technologie	33
II.	Logika MOS a základní principy posuvných registrů MOS	37
7.	Inventory MOS	37
8.	Statická logika PMOS a NMOS	43
9.	Logika CMOS	47
10.	Základní principy dvoufázových posuvných registrů a dvoufázové logiky s poměrovými inventory	58
11.	Základní principy dvoufázových posuvných registrů a dvoufázové logiky s bezpoměrovými inventory	62
12.	Čtyřfázové řízení obvodů s bezpoměrovými inventory	69
13.	Principy kvazistatických posuvných registrů	82
III.	Posuvné registry MOS	86
14.	Příklady zapojení posuvných registrů	86
15.	Posuvné registry NMOS	89
16.	Charakteristiky a vlastnosti posuvných registrů PMOS	93
16.1.	Nápadecí napětí	93
16.2.	Ztrátový výkon	98
16.3.	Pracovní podmínky vstupů a výstupů	98
16.4.	Generátory a budiče hodinových impulsů	104
17.	Kruhový oběh dat v posuvném registru	112
18.	Multiplexní provoz posuvných registrů	113
19.	Posuvné registry s libovolnou délkou	115
19.1.	Programovatelné posuvné registry s měnitelnou délkou	117
19.2.	Nastavení libovolné délky zdvojnásobením kmitočtu hodinových impulsů	120
19.3.	Kombinace registrů MOS, TTL a multiplexu	121
IV.	Použití posuvných registrů MOS	125
20.	Posuvné registry jako zpožďovací vedení	125
21.	Sériová paměť	126
22.	Sériové paralelní paměť	130
23.	Sériové paralelní paměť s kapacitou 256 slov \times 8 bitů	130
24.	Velkokapacitní sériové paměti (křemíkové diskové nebo bubnové paměti)	134
24.1.	Základní principy	134
24.2.	Napájení sériového paměťového systému MOS	139
24.3.	Výhody křemíkové diskové paměti ve srovnání s elektromagnetickými rotačními paměti	140
25.	Použití posuvných registrů MOS v abecedně číslicových zobrazovacích jednotkách s obrazovkou	141
26.	Paměti FIFO a LIFO	144
27.	Vyrovňovací paměť 100 \times 8 bitů, pracující způsobem FIFO	147
28.	Univerzální asynchronní přijímač/vysílač (UART)	151
28.1.	Použití	153

V.	Polovodičové integrované součástky s nábojovými vazbami	155
29.	Principy činnosti a vlastnosti součástek s nábojovými vazbami.	155
29.1.	Součástky BB	155
29.2.	Součástky CC	160
29.3.	Součástky SCT	165
30.	Použití součástek CC	166
30.1.	Paměti s velkou bitovou kapacitou	166
30.2.	Použití součástek s nábojovou vazbou pro záznam analogových dat.	169
VI.	Statické paměti MOS RAM	172
31.	Statické paměti PMOS a NMOS RAM	172
31.1.	Statické pamětové buňky	173
31.1.1.	Statická pamětová buňka s osmi tranzistory	173
31.1.2.	Statická pamětová buňka se šesti tranzistory	174
31.2.	Statické paměti PMOS RAM	175
31.3.	Statická paměť PMOS RAM s dynamickým řízením	185
31.4.	Příklady statických pamětových systémů	189
31.4.1.	Hybridní statický pamětový systém	189
31.4.2.	Zdroj napětí pro systém s pamětí TMS 4003	193
31.4.3.	Systémy s pamětí 3532	194
31.5.	Statické paměti NMOS	195
31.6.	Impulsové napájení statických pamětí MOS RAM	204
32.	Paměti CMOS	205
VII.	Dynamické paměti MOS	210
33.	Paměti s čtyřtranzistorovou buňkou	212
33.1.	Paměť s jednovodičovým výstupem dat.	212
33.1.1.	Princip činnosti pamětové buňky	212
33.1.2.	Princip činnosti paměti typu 3532 a její vlastnosti	214
33.2.	Paměť s diferenciálním výstupem dat.	221
33.2.1.	Princip činnosti pamětové buňky	221
33.2.2.	Princip činnosti paměti typu AMS 6002 a její vlastnosti	226
33.3.	Paměť s nábojovou pumpou (plynulé zotavování dat).	233
33.3.1.	Princip nábojové pumpy	233
33.3.2.	Paměť typu AMS 7001	237
34.	Paměti s třítranzistorovou buňkou	239
34.1.	Paměť s buňkou adresovanou vodiči 2X—2Y	239
34.1.1.	Princip činnosti pamětové buňky	239
34.1.2.	Princip činnosti paměti typu 1103 a její vlastnosti	243
34.1.3.	Paměť s čtyřfázovým řízením	249
34.2.	Paměti s buňkou adresovanou vodiči 1X—2Y	251
34.2.1.	Princip činnosti pamětové buňky	251
34.2.2.	Princip paměti s buňkou adresovanou vodiči 1X—2Y	253
34.3.	Paměti s buňkou adresovanou vodiči 1Y—2X	256
34.3.1.	Princip činnosti pamětové buňky	256
34.3.2.	Princip kvazistatické paměti a její vlastnosti	257
34.4.	Paměti s inverzní buňkou adresovanou vodiči 1Y—2X	263
34.4.1.	Princip činnosti inverzní pamětové buňky	263
34.4.2.	Paměti s kapacitou 2048 bitů	265
34.4.3.	Paměti s kapacitou 4096 bitů	268
34.5.	Paměti s planárním zotavováním dat	273
34.5.1.	Princip činnosti pamětové buňky	273
34.5.2.	Paměť typu EA 1500	276
34.5.3.	Paměť typu 2105 Intel	280
34.6.	Paměti s inverzní buňkou adresované vodiči 1X—1Y	289
34.6.1.	Princip činnosti pamětové buňky	289
34.6.2.	Princip paměti typu 2107 Intel	290
35.	Paměti s jednotranzistorovou buňkou	294
35.1.	Princip činnosti pamětové buňky	294
35.2.	Principy paměti s asymetrickými zotavovacími zesilovači	295
35.3.	Principy paměti se symetrickými zotavovacími zesilovači	301
35.4.	Paměť typu TMS 4030 (Texas Instruments)	310

35.5.	Paměť typu MK 4096 P (Mostek)	312
36.	Citlivost paměti MOS RAM na některé kombinace pracovních podmínek	313
37.	Dynamické paměťové systémy MOS	315
37.1.	Principy návrhu dynamických paměťových systémů	315
37.1.1.	Základní paměťová rovina	315
37.1.2.	Rozložení součástek a spojů paměťové roviny	318
37.1.3.	Principy řízení paměťového systému	320
37.1.4.	Zotavování dat	321
37.2.	Systémy s pamětmi typu 1103 s kritickým časováním a bez kritického časování	322
37.3.	Časovací a řídicí obvody pro asynchronní paměťový systém 4k × 18 bitů	332
37.4.	Časovací a řídicí obvody pro asynchronní paměťový systém 4k × 18 bitů s pamětí typu AMS 6002	334
37.5.	Základní paměťový modul s kapacitou 425 984 bitů (32 k × 13) s pamětí AMS 6002	335
37.6.	Systém s pamětí AMS 6003	344
37.7.	Systémy s pamětí typu 2105 (Intel)	345
37.8.	Systémy s pamětí typu 2107 (Intel)	350
VIII.	Bipolární paměti RAM	353
38.	Bipolární paměťové buňky	353
38.1.	Paměťová buňka s třemitorovými tranzistory, řízená obvody TTL	353
38.2.	Paměťová buňka s třemitorovými tranzistory, řízená obvody ECL	354
38.3.	Paměťové buňky s dvouemitorovými tranzistory	356
38.4.	Paměťové buňky s jednoemitorovými tranzistory	359
38.5.	Paměťové buňky na principu I ² L	361
38.6.	Bipolární dynamická paměťová buňka	365
39.	Paměti TTL	367
39.1.	Paměť s kapacitou 16 bitů na čipu	367
39.2.	Paměti s kapacitou 64 bitů na čipu	359
39.3.	Paměti s kapacitou 256 bitů na čipu	375
39.4.	Paměti s kapacitou 576 bitů na čipu	378
39.5.	Paměti ECL a TTL s kapacitou 1024 bitů na čipu	380
40.	Bipolární paměťové systémy	384
40.1.	Organizace systémů s pamětmi s kapacitou 256 bitů na čipu	386
40.2.	Organizace systémů s pamětmi s kapacitou 1024 bitů na čipu	391
IX.	Použití pamětí RAM	393
X.	Asociativní paměti	400
41.	Struktura asociativních pamětí	400
41.1.	Asociativní paměti MOS	403
41.2.	Dynamické asociativní buňky MOS	404
41.3.	Bipolární paměti CAM	409
41.3.1.	Paměť s kapacitou 16 bitů	409
41.3.2.	Paměť s kapacitou 8 bitů	411
42.	Použití asociativních pamětí	415
XI.	Paměti ROM	423
43.	Paměti MOS ROM	424
43.1.	Základní principy	424
43.2.	Statické paměti MOS ROM	425
43.3.	Dynamické paměti MOS ROM	427
44.	Bipolární paměti ROM	429
XII.	Elektricky programovatelné paměti PROM	432
45.	Bipolární paměti PROM	432
46.	Elektricky programovatelné paměti MAS	436
XIII.	Reprogramovatelné paměti REPROM	438
47.	Elektricky programovatelná paměť FAMOS s vymazáním dat ultrafialovým světlem	438
48.	Polovodičové paměti MNOS	447

49.	Paměti MAOS (Metal-Alumina-Oxide-Semiconductor).	450
50.	Paměti MOS s izolovanou řídicí elektrodou	451
51.	Amorfní polovodičové paměti	452
XIV.	Použití paměti ROM	459
52.	Základní principy	459
52.1.	Funkce paměti podle způsobu záznamu dat	459
52.2.	Paměťová kapacita.	460
52.3.	Použití paměti PROM k opravě dat v pamětech ROM.	463
53.	Realizace logických funkcí.	464
54.	Mikroprogramování.	470
55.	Převody a generace kódů	472
56.	Tabulky	472
57.	Generátory znaků	476
58.	Generátory rytmů	484
XV.	Programovatelné logické soustavy PLA a jejich použití	485
59.	Základní principy	485
60.	Realizace logiky s programovatelnou logickou soustavou	487
	Literatura.	496
	Rejstřík.	506