

# OBSAH

<b>1</b>	<b>SYNTAXE JAZYKA VHDL A MODELOVÁNÍ ČÍSLICOVÝCH SYSTÉMŮ .....</b>	<b>3</b>
1.1	Úvod.....	3
1.2	Základní struktura modelu v jazyku VHDL .....	5
1.2.1	Deklarace entity.....	7
1.2.2	Popis architektury.....	8
1.3	Datové objekty.....	12
1.3.1	Typy dat.....	13
1.3.2	Atributy .....	16
1.4	Příkazy jazyka VHDL.....	17
1.4.1	Výrazy a operátory .....	18
1.4.2	Operace s objekty typu <code>std_logic</code> a <code>std_logic_vector</code> .....	19
1.4.3	Souběžné příkazy .....	23
1.4.4	Sekvenční příkazy .....	25
1.4.5	Modelování paměťových prvků pomocí příkazů <code>IF-THEN</code> .....	26
1.5	Vytváření hierarchických modelů v jazyku VHDL.....	28
1.6	Prostředky jazyka VHDL pro úsporný zápis kódu.....	32
1.7	Funkce.....	37
1.8	Postup vytvoření konstrukce v jazyku VHDL.....	40
<b>2</b>	<b>OVĚŘENÍ FUNKCE A ČASOVÝCH PARAMETRŮ MODELU.....</b>	<b>42</b>
2.1	Prostředky jazyka VHDL k vyjádření časového rozměru a průběh simulace.....	44
2.2	Způsoby řízení simulace .....	46
2.3	Vytváření zkušebních jednotek v systému ISE.....	47
2.3.1	Vytvoření zkušební jednotky pomocí HDL Benchera .....	48
2.3.2	Tvorba zkušebních jednotek pomocí šablony v systému ISE.....	52
2.3.3	Zkušební jednotka pro úplné porovnání dvou kombinačních subsystémů .....	57
<b>3</b>	<b>PŘÍKLADY KONSTRUKCÍ V JAZYKU VHDL .....</b>	<b>61</b>
3.1	Kombinační obvody .....	62
3.1.1	Převodník hexadecimálního kódu na kód sedmsegmentového displeje .....	62
3.1.2	Převodník kódu BCD na binární kód .....	63
3.1.3	Sčítačka v kódu BCD .....	64
3.1.4	Převodník binárního kódu na kód BCD.....	66
3.2	Subsystémy se zvláštními typy bran .....	70
3.2.1	Subsystémy s třístavovými výstupy a s otevřeným kolektorem .....	71
3.2.2	Subsystémy s obousměrnými branami .....	72
3.3	Paměťové obvody se zpětnou vazbou .....	72
3.4	Čítače.....	73
3.4.1	Binární čítače.....	73
3.4.2	Čítače pracující v kódu BCD.....	74

<b>3.5</b>	<b>Stavové automaty</b> .....	<b>75</b>
3.5.1	Behaviorální popis s deklarací uživatelského typu pro stav .....	76
3.5.2	Popis s explicitním kódováním stavů .....	78
3.5.3	Synchronní nulování u stavových automatů .....	79
<b>3.6</b>	<b>Příklady iterativních konstrukcí</b> .....	<b>80</b>
3.6.1	Převodník binárního kódu na Grayův a naopak .....	80
3.6.2	Grayův čítač .....	82
<b>4</b>	<b>LITERATURA</b> .....	<b>85</b>

### Klíčová slova jazyka VHDL:

Standard VHDL-87 (stojaté písmo) a slova přidaná do standardu VHDL-93 (kurzíva)

ABS	DISCONNECT	LABEL	PORT	SRA
ACCESS	DOWNTO	LIBRARY	POSTPONED	SRL
AFTER	ELSE	LINKAGE	PROCEDURE	SUBTYPE
ALIAS	ELSIF	LITERAL	PROCESS	THEN
ALL	END	LOOP	PURE	TO
ALLOW	ENTITY	MAP	RANGE	TRANSPORT
AND	EXIT	MOD	RECORD	TYPE
ARCHITECTURE	FILE	NAND	REGISTER	UNAFFECTED
ARRAY	FOR	NEW	REJECT	UNITS
ASSERT	FUNCTION	NEXT	REM	UNTIL
ATTRIBUTE	GENERATE	NOR	REPORT	USE
BEGIN	GENERIC	NOT	RETURN	VARIABLE
BLOCK	GROUP	NULL	ROL	WAIT
BODY	GUARDED	OF	ROR	WHEN
BUFFER	IF	ON	SELECT	WHILE
BUS	IMPURE	OPEN	SEVERITY	WITH
CASE	IN	OR	SIGNAL	XNOR
COMPONENT	INERTIAL	OTHERS	SHARED	XOR
CONFIGURATION	INOUT	OUT	SLA	
CONSTANT	IS	PACKAGE	SSL	

Text těchto skriptů navazuje na skripta [8], kde jsou uvedeny struktury nejpoužívanějších obvodů SPLD, a na skripta [1]. Obsahuje především poznatky potřebné k vytváření konstrukcí implementovaných do obvodů CPLD a FPGA.

Velká většina textů zapsaných v jazyku VHDL, které jsou uvedeny jako příklady v těchto skriptech, byla ověřena z hlediska syntaktické správnosti a možnosti syntézy systémem ISE firmy Xilinx. Některé z nich byly pro srovnání ověřeny také systémem WARP firmy Cypress a systémem MAX+PLUS II firmy Altera.