

Úvod	3
1. <u>Sekvenční logické obvody a konečné automaty</u>	4
1.1 Blokové schéma	4
1.2 Synchronní a asynchronní režim sekvenčního logického obvodu	5
1.2.1 Synchronní režim	5
1.2.2 Asynchronní režim	7
1.3 Popis chování Mealyova a Moorova obvodu	7
1.3.1 Mealyův synchronní obvod	8
1.3.2 Moorův synchronní obvod	8
1.3.3 Mealyův asynchronní obvod	9
1.3.4 Moorův asynchronní obvod	9
1.4 Úplně a neúplně určený sekvenční obvod	9
1.4.1 Úplně určený sekvenční obvod	9
1.4.2 Neúplně určený sekvenční obvod	9
1.4.3 Nadbytečnost sekvenčního obvodu	10
1.5 Paměťové členy	10
1.5.1 Paměťové členy s omezenou dobou záznamu	10
1.5.2 Paměťové členy s libovolnou dobou záznamu	11
1.6 Způsoby popisu chování automatů	11
1.6.1 Orientovaný graf	12
1.6.2 Tabulka přechodů	14
2. <u>Syntéza sekvenčních logických obvodů</u>	16
2.1 Postup při syntéze	16
2.2 Minimalizace počtu vnitřních stavů	16
2.2.1 Postup minimalizace počtu vnitřních stavů synchronního obvodu	17
2.2.2 Asynchronní obvody	18
2.3 Kódování vnitřních stavů	20
2.3.1 Zásady pro kódování vnitřních stavů u asynchronních obvodů	20
2.3.2 Způsoby pro zabezpečení správné funkce sekvenčního obvodu	23
2.3.3 Kódování vnitřních stavů synchronních obvodů	26
2.4 Syntéza přechodových funkcí	26
2.4.1 Paměťové členy s omezenou dobou záznamu	26
2.4.2 Bistabilní paměťové členy	28
2.5 Syntéza výstupních funkcí	34
3. <u>Analýza sekvenčních logických obvodů</u>	36
3.1 Cíl analýzy	36
3.2 Analýza sekvenčních logických obvodů s bistabilními paměťovými členy	36
3.3 Analýza sekvenčních logických obvodů se zpožďovacími členy	38
3.3.1 Výběr vnitřních proměnných	38
3.3.2 Stanovení minimálního počtu vnitřních proměnných	39

4.	<u>Reléové řetězy</u>	43
4.1	Přijímané impulsy	43
4.2	Rozdělení reléových řetězů	43
4.2.1	Aditivní reléové řetězy	43
4.2.2	Selektivní reléové řetězy	44
4.3	Syntéza reléových řetězů	45
4.3.1	Aditivní a selektivní reléové řetězy	45
4.3.2	Syntéza kombinačních reléových řetězů	45
4.3.3	Syntéza kombinačního reléového řetězu pro příjem deseti impulsů	48
4.3.4	Syntéza reléových řetězů s derivačním obvodem v přijímací části	56
5.	<u>Bistabilní paměťové členy</u>	61
5.1	Obecné vlastnosti bistabilních paměťových členů	61
5.2	Popis chování bistabilních klopných obvodů	63
5.2.1	Klopný obvod typu S-R	63
5.2.2	Klopný obvod typu T	64
5.2.3	Klopný obvod typu D	64
5.2.4	Klopný obvod typu J-K	65
5.3	Syntéza bistabilních klopných obvodů z hradel SSI	66
5.3.1	Postup při syntéze	66
5.3.2	Asynchronní klopné obvody	66
5.3.3	Synchronní klopné obvody	72
5.4	Složený bistabilní klopný obvod typu Master - Slave	75
5.4.1	Blokové schéma a popis chování	75
5.4.2	Realizace	77
6.	<u>Čítače a registry</u>	78
6.1	Popis chování čítačů	78
6.1.1	Stavový diagram	78
6.1.2	Tabulka stavů	78
6.2	Postup při syntéze čítačů	78
6.2.1	Popis chování	79
6.2.2	Volba typu použitého klopného obvodu	79
6.2.3	Syntéza logických funkcí	80
6.3	Syntéza synchronních čítačů	80
6.3.1	Syntéza synchronního dvojkového čítače	80
6.3.2	Syntéza synchronního desítkového čítače	82
6.4	Syntéza asynchronních čítačů	84
6.4.1	Postup syntézy	84
6.4.2	Syntéza asynchronního dvojkového čítače	84
6.4.3	Syntéza asynchronního desítkového čítače	86
6.5	Registry	88
6.5.1	Vkládání informace do registru	88
6.5.2	Předávání informace z registru	90
6.5.3	Předávání informace mezi registry	91
6.5.4	Řešení logického součtu dvou kódových slov	91
6.5.5	Řešení logického součinu dvou kódových slov	92
6.5.6	Vzájemná přeměna sériového a paralelního kódu	92