

OBSAH

PŘEDMLUVA	13
1. ÚVOD	15
2. POPIS VNITŘNÍ STRUKTURY OBVODŮ	24
2.1 Organizace paměti	24
2.2 Registry speciálních funkcí	26
2.3 Oscilátor a obvod hodin	29
2.4 Časování centrální procesorové jednotky (CPU)	30
2.5 Struktura a činnost portů	32
2.5.1 Uspořádání vstupů/výstupů	33
2.5.2 Zápis do portu	37
2.5.3 Zatížení portů	40
2.5.4 Instrukce typu "čtení - modifikace - zápis"	41
2.6 Styk s vnější pamětí	42
2.6.1 Signál \overline{PSEN}	43
2.6.2 Signál ALE	44
2.6.3 Překrývání prostoru vnější paměti programu a dat	44
2.7 Časovače/čítače	46
2.7.1 Časovač 0 a časovač 1	46
2.7.1.1 Režim 0	48
2.7.1.2 Režim 1	51
2.7.1.3 Režim 2	51
2.7.1.4 Režim 3	52
2.7.2 Časovač 2	53
2.8 Sériové rozhraní	57
2.8.1 Víceprocesorová komunikace	59
2.8.2 Řídící registr sériového portu	60

2.8.3	Přenosové rychlosti	62
2.8.3.1	Použití časovače 1 pro generování přenosové rychlosti	62
2.8.3.2	Použití časovače 2 pro generování přenosové rychlosti	63
2.8.4	Popis režimu 0	66
2.8.5	Popis režimu 1	70
2.8.6	Popis režimu 2 a 3	74
2.9	Přerušeni	80
2.9.1	Struktura úrovní priority přerušeni	82
2.9.2	Obsluha přerušeni	85
2.9.3	Vnější přerušeni	88
2.9.4	Čas odezvy na žádost o přerušeni	89
2.10	Činnost v krokovém režimu	90
2.11	Nulování - RESET	91
2.12	Činnost v režimu se sníženým příkonem	94
2.12.1	Verze HMOS - režim s vypnutým napájením	94
2.12.2	Verze CHMOS - režim se sníženým příkonem	94
2.12.2.1	Režim čekání	95
2.12.2.2	Režim se sníženým napájením	97
2.13	Obvod 8751H	98
2.13.1	Programování vnitřní paměti EPROM	98
2.13.2	Ověřování programu	100
2.13.3	Zabezpečení paměti programu	100
2.13.4	Mazací charakteristiky	101

2.14	Popis oscilátoru na čipu	102
2.14.1	Verze HMOS	102
2.14.2	Verze CHMOS	103
3.	ORGANIZACE PAMĚTI, ZPŮSOBY ADRESOVÁNÍ	
	A BOOLEOVSKÝ PROCESOR	106
3.1	Úvod	106
3.2	Organizace paměti	106
3.2.1	Adresový prostor paměti programu	106
3.2.2	Adresový prostor paměti dat	108
3.3	Způsoby adresování	112
3.3.1	Adresování s registrem	113
3.3.2	Adresování přímé	113
3.3.3	Adresování nepřímé s registrem	113
3.3.4	Adresování s přímým operandem	114
3.3.5	Adresování nepřímé s báзовým registrem a s indexovým registrem	114
3.4	Booleovský procesor	114
4.	ROZŠÍŘOVÁNÍ SYSTÉMU	115
4.1	Příklady rozšíření systému	117
4.1.1	Připojení expanderu 8243	117
4.1.2	Připojení vnější paměti programu 2716	119
4.1.3	Připojení vnější paměti programu 2732A	119
4.1.4	Připojení vnější paměti dat a expanderu V/V	119
4.2	Poloduplexní sériový přenos dat	123
4.3	Přerušeni z více zdrojů	123
5.	VÝVOJOVÉ PROSTŘEDKY PRO NÁVRH SYSTÉMŮ	
	S OBVODY 8051	126
5.1	Programové vývojové prostředky	126

5.1.1	Makroassembler ASM51	126
5.1.2	Převodní program CONV51	127
5.2	Technické vývojové prostředky	128
5.2.1	Stavebnice SDK - 51	128
5.2.2	Emulační přípravek EM - 51	129
5.2.3	Emulátor EMV - 51	129
5.2.4	Emulátor ICE - 51	130
6.	TECHNICKÉ CHARAKTERISTIKY OBVODŮ	
	8051 A 8052	131
6.1	Obvody 8031AH a 8051AH	131
6.1.1	Mezní hodnoty	131
6.1.2	Charakteristické hodnoty	131
6.2	Obvody 8032AH a 8052AH	142
6.2.1	Mezní hodnoty	142
6.2.2	Charakteristické hodnoty	142
6.3	Obvod 8751H	151
6.3.1	Mezní hodnoty	151
6.3.2	Charakteristické hodnoty	151
6.3.3	Charakteristické hodnoty pro vnitřní paměť EPROM	160
	LITERATURA	163

SEZNAM OBRÁZKŮ

Obr. 1	Přehledné blokové schéma mikrořadičů 8051 a 8052	16
Obr. 2	Vnitřní architektura mikrořadičů 8051 a 8052	17
Obr. 3	Rozmístění špiček a symbolické znázornění mikrořadičů 8051 a 8052	18

Obr. 4	Registr stavového slova programu	27
Obr. 5	Krystalový/keramický rezonátor oscilátoru	29
Obr. 6	Výběrové a prováděcí sekvence instrukcí obvodů 8051 a 8052	
	a) jednobytová jednocyklová instrukce	31
	b) dvoubytová jednocyklová instrukce	31
	c) jednobytová dvoucyclová instrukce	31
	d) instrukce MOVX	31
Obr. 7	Struktura bitu portů P0 až P3	
	a) bit portu 0	34
	b) bit portu 1	34
	c) bit portu 2	35
	d) bit portu 3	35
Obr. 8	Zjednodušená struktura bitu portů	
	a) bit obousměrného portu	38
	b) bit kvaziobousměrného portu	38
Obr. 9	Posilovací obvod portů 1, 2 a 3 - technologie HMOS	39
Obr. 10	Posilovací obvod portů 1, 2 a 3 - technologie CHMOS	39
Obr. 11	Obsluha vnější paměti programu	
	a) s výjimkou instrukce MOVX	45
	b) včetně instrukce MOVX	45
Obr. 12	Řídící registr režimu časovače/čítače - TMOD	47
Obr. 13	Časovač/čítač 1, režim 0: třináctibitový čítač	48
Obr. 14	Řídící registr časovače/čítače - TCON	49
Obr. 15	Časovač/čítač 1, režim 2: osmibitový samoplňací čítač	51
Obr. 16	Časovač/čítač 0, režim 3: dva osmibitové čítače	52

Obr. 17	Řídicí registr časovače/čítače 2 - T2CON	53
Obr. 18	Záchytný pracovní režim časovače 2	56
Obr. 19	Samoplňicí pracovní režim časovače 2	57
Obr. 20	Řídicí registr sériového portu - SCON	60
Obr. 21	Časovač 2 jako generátor přenosové rychlosti ..	65
Obr. 22	Sériový port v režimu 0	
	a) funkční diagram	67
	b) časový diagram	68
Obr. 23	Sériový port v režimu 1	
	a) funkční diagram	71
	b) časový diagram	72
Obr. 24	Sériový port v režimu 2	
	a) funkční diagram	75
	b) časový diagram	76
Obr. 25	Sériový port v režimu 3	
	a) funkční diagram	77
	b) časový diagram	78
Obr. 26	Zdroje přerušeni u obvodů 8051 a 8052	81
Obr. 27	Registr povolení přerušeni - IE	83
Obr. 28	Registr priority přerušeni - IP	84
Obr. 29	Přerušovací systém mikrořadičů 8051 a 8052	86
Obr. 30	Časový diagram odezvy na přerušeni	87
Obr. 31	Funkce nulování při zapnutí napájení	93
Obr. 32	Vnitřní obvody pro režim čekání a režim se sníženým napájením	95
Obr. 33	Řídicí registr napájení - PCON	96
Obr. 34	Programování obvodu 8751H	99
Obr. 35	Ověřování programu u obvodů 8751H a 8051AH	99

Obr. 36	Programování zabezpečovacího bitu u obvodu 8751H	101
Obr. 37	Obvod oscilátoru na čipu ve verzi HMOS obvodů 8051 a 8052	102
Obr. 38	Použití oscilátoru HMOS na čipu	103
Obr. 39	Vnější zdroj hodin pro verzi HMOS obvodů 8051 a 8052	104
Obr. 40	Obvod oscilátoru na čipu ve verzi CHMOS obvodů 8051	104
Obr. 41	Použití oscilátoru CHMOS na čipu	105
Obr. 42	Vnější zdroj hodin pro verzi CHMOS obvodů 8051	105
Obr. 43	Struktura paměťových prostorů a) u obvodů 8051	107
	b) u obvodů 8052	107
Obr. 44	Struktura paměťového prostoru vnitřní paměti dat	109
Obr. 45	Adresy bitů ve vnitřní paměti dat	110
Obr. 46	Adresy bitů v registrech speciálních funkcí ve vnitřní paměti dat	111
Obr. 47	Rozšíření V/V obvodem 8243	118
Obr. 48	Připojení vnější paměti programu 2716 k mikrořadiči 8031AH	120
Obr. 49	Připojení vnější paměti programu 2732A k mikrořadiči 8031AH	121
Obr. 50	Připojení vnější paměti dat a expanderu V/V	122
Obr. 51	Propojení mikrořadičů 8051 pro poloduplexní sériový přenos dat	124
Obr. 52	System s více zdroji přerušeni	125
Obr. 53	Blokové schéma stavebnice SDK - 51	128

Obr. 54	Hodinové impulsy pro obvody 8031AH/8051AH	134
Obr. 55	Čtecí cyklus z vnější paměti programu	137
Obr. 56	Vnější paměť dat a) čtecí cyklus	139
	b) zápisový cyklus	139
Obr. 57	Podmínky měření dynamických parametrů a) pro V/V	140
	b) pro třetí stav	140
Obr. 58	Časový diagram obvodů 8031AH/8051AH	141
Obr. 59	Hodinové impulsy pro obvody 8032AH/8052AH	145
Obr. 60	Čtecí cyklus z vnější paměti programu	147
Obr. 61	Vnější paměť dat a) čtecí cyklus	148
	b) zápisový cyklus	148
Obr. 62	Podmínky měření dynamických parametrů a) pro V/V	150
	b) pro třetí stav	150
Obr. 63	Hodinové impulsy pro obvod 8751H	154
Obr. 64	Čtecí cyklus z vnější paměti programu	157
Obr. 65	Vnější paměť dat a) čtecí cyklus	159
	b) zápisový cyklus	159
Obr. 66	Podmínky měření dynamických parametrů a) pro V/V	160
	b) pro třetí stav	160
Obr. 67	Časové průběhy při programování paměti EPROM, při programování zabezpečovacího bitu a při ověřování obsahu vnitřní paměti EPROM v obvodu 8751H	162

SEZNAM TABULEK

Tab. 1	Soubor mikrořadičů MCS - 51	15
Tab. 2	Popis špiček jednočipových mikrořadičů 8051 a 8052	19
Tab. 3	Přehled registrů speciálních funkcí	24
Tab. 4	Významy bitů stavového slova programu	27
Tab. 5	Alternativní funkce špiček portů	32
Tab. 6	Významy bitů registru TMOD	47
Tab. 7	Významy bitů registru TCON	49
Tab. 8	Významy bitů registru T2CON	53
Tab. 9	Pracovní režimy časovače 2	55
Tab. 10	Významy bitů registru SCON	60
Tab. 11	Obecně užívané přenosové rychlosti generované časovačem 1	64
Tab. 12	Významy bitů registru IE	83
Tab. 13	Významy bitů registru IP	84
Tab. 14	Nastavení obsahu registrů po funkci RESET	92
Tab. 15	Významy bitů registru PCON	96
Tab. 16	Adresy počátku obsluhy přerušeni	108
Tab. 17	Metody adresování a přiřazené paměťové oblasti	112
Tab. 18	Obvody pro rozšíření mikrořadičů 8051 a 8052	115
Tab. 19	Statické parametry obvodů 8031AH/8051AH	132
Tab. 20	Zhoršené linky V/V	133
Tab. 21	Charakteristiky vnějších hodin	134
Tab. 22	Dynamické parametry pro vnější paměť programu	135

Tab. 23	Dynamické parametry pro vnější paměť dat	137
Tab. 24	Statické parametry obvodů 8032AH/8052AH	142
Tab. 25	Zhoršené linky V/V	144
Tab. 26	Charakteristiky vnějších hodin	145
Tab. 27	Dynamické parametry pro vnější paměť programu	146
Tab. 28	Dynamické parametry pro vnější paměť dat	149
Tab. 29	Statické parametry obvodu 8751H	152
Tab. 30	Zhoršené linky V/V	154
Tab. 31	Charakteristiky vnějších hodin	154
Tab. 32	Dynamické parametry pro vnější paměť programu	155
Tab. 33	Dynamické parametry pro vnější paměť dat	157
Tab. 34	Dynamické parametry vnitřní paměti EPROM v obvodu 8751H	160