

Obsah :

1.	Řídící sekce počítače	10
1.1.	Časovací obvody	10
1.1.1.	Oscilátor	10
1.1.2.	Dělič kmitočtu	10
1.1.3.	Hradlovací obvody časování	12
1.2.	Logika zmrazení	13
1.2.1.	Zmrazení od chyby v paritě a ochrany paměti	13
1.2.2.	Zmrazení při činnosti DMA	13
1.2.3.	Zmrazení při dělení	14
1.2.4.	Zmrazení při styku s pamětí	14
1.2.5.	Zmrazení při čtení T-registru	15
1.2.6.	Zmrazení při zápisu do M-registru	15
1.2.7.	Zmrazení při krokování mikroinstrukcí	15
1.3.	Logika generátoru jednoho kroku	16
1.4.	Logika běhu počítače	16
1.4.1.	Režim "RUN"	16
1.4.2.	Režim "Single instruction"	17
1.4.3.	Režim "Single cycle"	17
1.4.4.	Režim "HALT"	18
1.4.5.	Automatický restart	18
1.5.	Řídící logika fází	19
1.5.1.	Fáze 1 A (PH 1 A)	19
1.5.2.	Fáze 1 B (PH 1 B)	19
1.5.3.	Fáze 2 (PH 2)	21
1.5.4.	Fáze 3 (PH 3)	22
1.5.5.	Vnucené nastavení počítače do fáze 1 A	23
1.5.6.	Vnucené nastavení počítače do fáze 1 B	24
1.5.7.	Přeskok při fázi 1	25
1.5.8.	Phase loop	25
1.5.9.	Čítač nepřímé adresace	25
1.6.	Adresování paměti ROM	26
1.6.1.	Signály nastavení fází	26
1.6.2.	Dekódování instrukce v instrukčním registru	26
1.6.3.	Adresování modulů ROM	27
1.6.4.	Skoky v ROM	29

		29
1.6.5.	ROM adresní registr (RAR)	30
1.6.6.	Nastavování RAR	30
1.6.7.	Zvyšování obsahu RAR	31
1.6.8.	Nulování RAR	31
1.7.	Logika ukončení fáze	32
1.7.1.	Klopný obvod NER	32
1.7.2.	Klopný obvod LEP	33
1.8.	Registr Save	34
1.9.	Paměť ROM	35
1.10.	Mikroprogram	35
1.10.1.	Mikrokód	36
1.10.2.	Mikroinstrukce	36
1.10.3.	Mikrorutina	36
1.10.4.	Subrutina	36
1.10.5.	Návěští vstupního bodu	36
1.10.6.	Legální vstupní body	38
1.10.7.	Konec fáze	38
1.10.8.	Skip ROM	38
1.10.9.	Skoky v ROM	39
1.10.10.	Režim opakování (Repeat)	39
1.10.11.	Synchronizace s časováním I/O	40
1.11.	Řídící logika ROM	40
1.11.1.	Řízení skoků v ROM	40
1.11.2.	Návrat z podprogramů	41
1.11.3.	Konec fáze	41
1.11.4.	Stav "Halt"	41
1.11.5.	Automatický restart	41
1.12.	Instrukční registr ROM (RIR)	42
1.12.1.	Vstupy RIR	42
1.12.2.	Hodiny RIR	43
1.12.3.	Výstupy RIR	43
1.13.	Instrukční registr (IR)	43
1.13.1.	Hodiny instrukčního registru	45
1.13.2.	Data na sběrnici S	45
1.13.3.	Funkce bitů instrukčního registru	45
1.14.	Mikroinstrukční dekodér	46

		29
1.6.5.	ROM adresní registr (RAR)	30
1.6.6.	Nastavování RAR	30
1.6.7.	Zvyšování obsahu RAR	31
1.6.8.	Nulování RAR	31
1.7.	Logika ukončení fáze	32
1.7.1.	Klopný obvod NER	32
1.7.2.	Klopný obvod LEP	33
1.8.	Registr Save	34
1.9.	Paměť ROM	35
1.10.	Mikroprogram	35
1.10.1.	Mikrokód	36
1.10.2.	Mikroinstrukce	36
1.10.3.	Mikrorutina	36
1.10.4.	Subrutina	36
1.10.5.	Návěští vstupního bodu	36
1.10.6.	Legální vstupní body	38
1.10.7.	Konec fáze	38
1.10.8.	Skip ROM	38
1.10.9.	Skoky v ROM	39
1.10.10.	Režim opakování (Repeat)	39
1.10.11.	Synchronizace s časováním I/O	40
1.11.	Řídící logika ROM	40
1.11.1.	Řízení skoků v ROM	40
1.11.2.	Návrat z podprogramů	41
1.11.3.	Konec fáze	41
1.11.4.	Stav "Halt"	41
1.11.5.	Automatický restart	41
1.12.	Instrukční registr ROM (RIR)	42
1.12.1.	Vstupy RIR	42
1.12.2.	Hodiny RIR	42
1.12.3.	Výstupy RIR	43
1.13.	Instrukční registr (IR)	43
1.13.1.	Hodiny instrukčního registru	43
1.13.2.	Data na sběrnici S	45
1.13.3.	Funkce bitů instrukčního registru	45
1.14.	Mikroinstrukční dekodér	46

4.6.	Přerušovací systém	156
4.6.1.	Uvolnění a zablokování přerušovacího systému	156
4.6.2.	Priorita přerušení	159
4.6.3.	Instrukce ovládající přerušovací systém	162
4.7.	Vyvolání přerušení	162
4.8.	Činnost při přerušení	164
4.9.	Nulování vstupní a výstupní sekce	167
4.10.	Ochranné obvody I/O	168
4.10.1.	Ochrana proti nežadoucí manipulaci na předním panelu	169
4.11.	Sběrnice I/O	170
4.11.1.	Ovládání I/O sběrnice	170
4.11.2.	Propojení I/O sběrnice	171
4.11.3.	Violation registr	171
4.11.4.	Parita I/O, kontrola přenosu	172
4.11.5.	Vyhodnocení chyby KP	173
4.11.6.	Vyhodnocení chyby parity I/O	174
5.	Přímý styk s pamětí (DMA)	176
5.1.	Inicializace DMA	177
5.2.	Cyklus DMA	179
5.3.	Ukončení přenosu DMA	181
6.	Činnost panelu operátora	181