

Obsah

1	Úvod	3
1.1	Vznik aplikačně specifických integrovaných obvodů	3
1.2	Dělení aplikačně specifických integrovaných obvodů	4
2	Projektování integrovaných obvodů	8
2.1	Organizační podmínky projektování	8
2.1.1	Systemový návrh	10
2.1.2	Návrh masek	12
2.2	Návrhové systémy	14
2.2.1	Návrhový systém PC-ADS	15
2.3	Vztah výrobce - zákazník	18
2.4	Stav ASIC v ČSFR	19
3	Číslicové ASIC	20
3.1	Technologie výroby	20
3.1.1	Bipolární integrované obvody	21
3.1.2	Unipolární integrované obvody	24
3.2	Systémy VLSI	30
3.2.1	Komunikace uvnitř čipu	30
3.2.2	Vnější komunikace mezi VLSI obvody	32
3.3	Základní číslicové funkční bloky	33
4	Analogové ASIC	35
4.1	Prvky analogových IO	36
4.2	Základní analogové funkční bloky	37
4.2.1	Zdroje proudu	38
4.2.2	Zdroj proudu jako aktivní zátěž	42
4.2.3	Napěťové referenční zdroje	44
4.2.4	Diferenční zesilovače	46
4.2.5	Napěťové zesilovače	48
4.2.6	Výkonové zesilovače	49
4.2.7	Vazební stupně	49
5	Architektura ASIC	53
5.1	ASIC jako systém	53
5.2	Metodika návrhu architektury systému	54

5.2.1	Modularita systému	55
5.2.2	Strukturalizace systému	55
5.3	Řešení problémů návrhu architektury	58
5.3.1	Základní pojmy a definice teorie grafů	59
5.3.2	Algoritmy optimálního návrhu struktury systému	60
5.4	Syntéza struktury ASIC	71
5.4.1	Teorie složitosti VLSI systémů	72
5.4.2	Dávkové zpracování vstupních dat	73
5.4.3	Zřetěžené zpracování vstupních dat	78
6	Respektování vlivu dynamických vlastností	80
6.1	Optimalizace návrhu z hlediska dynamických vlastností	80
6.2	Další možnosti zlepšování dynamických vlastností systému	85
7	Testování a testovatelnost	89
7.1	Základní pojmy	90
7.2	Poruchy v číslicových obvodech	91
7.3	Metody návrhu snadno testovatelných systémů	93
7.3.1	Heuristické metody návrhu	94
7.3.2	Strukturovaný návrh	98
7.3.3	Vnitřní diagnostické prostředky	103
7.3.4	Autonomní testy generované v reálném čase	104
8	Návrh spolehlivých a bezpečných systémů	111
8.1	Spolehlivost systému	111
8.2	Zabezpečení systémů proti poruchám	119
8.3	Zálohování systémů	124
9	Programovatelné ASIC	126
9.1	Programovatelné logické obvody – PLD	127
9.1.1	Vnitřní struktura, význam symbolického značení	127
9.1.2	Architektura obvodů PLD	128
9.1.3	Paměti PROM	130
9.1.4	Základní typy obvodů PAL	131
9.1.5	Obvody GAL	134
9.1.6	Obvody PEEL	134
9.1.7	Obvody FPLA	136
9.1.8	Vývojové prostředky pro návrh obvodů PLD	137
9.1.9	Programování obvodů PLD	138
9.1.10	Příklad návrhu PLD	141
9.1.11	Logická pole PEEL ICT	147
9.2	Programovatelná hradlová pole	151
9.2.1	FPGA firmy XILINX	151
9.2.2	FPGA Actel	161