

Obsah

Obsah	4
1 Úvod	7
2 Logické obvody	11
2.1 Popis logických obvodů booleovskými funkcemi	12
2.2 Elektronické logické obvody	14
2.2.1 Realizace hradel bipolárními transistory.....	15
2.2.2 Realizace hradel MOS transistory	18
2.2.3 Obvody CMOS	19
2.3 Integrované obvody	20
3 Analýza a syntéza kombinačních obvodů	23
3.1 Analýza kombinačních obvodů	23
3.2 Syntéza kombinačních obvodů	24
3.2.1 Syntéza kombinačního obvodu z hradel <i>NON</i> , <i>AND</i> a <i>OR</i>	24
3.2.2 Syntéza kombinačního obvodu z hradel <i>NAND</i>	25
3.2.3 Syntéza kombinačního obvodu z hradel <i>NOR</i>	27
3.3 Cvičení	27
4 Základní kombinační obvody	29
4.1 Dekodér	29
4.1.1 Spojování dekodérů	31
4.2 Multiplexor	33
4.3 Demultiplexor	34
4.4 Obvod pro sčítání celých čísel	36
4.5 Obvod posuvu (shifter)	39
4.6 Cvičení	40
5 Sekvenční obvody	42
5.1 <i>S-R</i> klopný obvod	43
5.1.1 Použití <i>S-R</i> klopného obvodu	46
5.1.2 <i>S-R</i> klopný obvod řízený hodinovými pulsy.....	47
5.2 Klopný obvod <i>D</i> s hodinovým vstupem	48
5.3 Spojování klopných obvodů	49
5.4 <i>J-K</i> master-slave flip flop	51
5.5 Asynchronní čítač	52
5.6 Registr	54
5.7 Připojování obvodů ke společné sběrnici	54
5.8 Statická paměť RAM (SRAM)	58
5.9 Dynamická paměť RAM (DRAM)	59
5.10 Paměť ROM	62
5.11 Cvičení	63
6 Procesor	67
6.1 Aritmeticko-logická jednotka	67
6.2 Řadič	70
6.3 Vyrovnávací paměť (cache)	71
6.3.1 Cache s přímým zobrazením	71

6.3.2 Asociativní cache	75
6.3.3 Cache se stupněm asociativity n	75
6.3.4 Zápis do paměti	77
6.3.5 Použití více cache pamětí ..	78
6.4 Proudové zpracování instrukcí	79
6.5 Cvičení	82
7 Adresace paměti	83
7.1 Jednoduché procesory bez dynamického překladu adres	83
7.2 Procesory s dynamickým překladem adres	84
7.2.1 Lineární logický adresový prostor	84
7.2.2 Segmentovaný logický prostor	85
7.3 Strategie přidělování paměti	86
7.3.1 Přidělování souvislých úseků paměti	86
7.4 Virtuální paměť	89
7.4.1 Lineární adresový prostor	89
7.4.2 TLB cache	91
7.4.3 Víceúrovňové stránkování	91
7.4.2 Invertovaná tabulka stránek	93
7.5 Segmentovaný adresový prostor	94
7.6 Cvičení	94
8 Sběrnice	97
8.1 Přidělování sběrnice	98
8.2 Časování sběrnice	100
8.2.1 Synchronní sběrnice	100
8.2.2 Asynchronní sběrnice	101
8.3 Přerušovací systém	103
8.3.1 Technika řetězení	104
8.3.2 Technika samostatné žádosti	105
8.4 Cvičení	107
9 Připojování přídatných zařízení	108
9.1 I/O modul	108
9.1.1 Adresace I/O modulu	108
9.1.1 Řízení činnosti I/O modulu	110
9.2 Programové řízení přídatných zařízení	111
9.3 Řízení přídatných zařízení pomocí přerušení	114
9.4 Přímý přístup do paměti (DMA)	116
9.5 I/O kanály a I/O procesory	120
9.6 Cvičení	120
10 Procesory RISC	123
10.1 Architektura RISC procesoru	125
10.2 Zpracování instrukcí	127
10.3 Srovnání procesorů RISC a CISC	129
11 Paralelní systémy	131
11.1 Rozdělení paralelních systémů	131
11.2 Paralelní systémy MIMD	132
11.2.1 Multiprocesory	133
11.2.2 Multipočítače	137
11.3 Paralelní systémy SIMD	142

11.4 Cvičení	144
Příloha A. Výrokový počet	146
A.1 Disjunktivní a konjunktivní tvar formule	150
A.2 Převedení formule do disjunktivního normálního tvaru	151
A.3 Logické spojky <i>NAND</i> a <i>NOR</i>	154
A.4 Cvičení	155
Příloha B. Booleovská algebra	157
B.1 Cvičení	160
Příloha C. Polovodičové prvky	162
C.1 Dioda	162
C.2 Transistor	164
C.2.1 Bipolární transistor	165
C.2.2 MOS (MOSFET) transistor	167
C.3 Cvičení	169
Doporučená literatura	171