

# Obsah

1	ÚVOD .....	1
2	HISTORIE.....	3
2.1	ZÁZNAM ČÍSEL.....	3
2.2	PRVNÍ VYNÁLEZCI VÝPOČETNÍCH POMŮCEK.....	4
2.3	PRŮMYSLOVÁ REVOLUCE V ANGLII .....	4
2.4	STROJE NA KONCI 19. STOLETÍ.....	6
2.5	PRVNÍ POLOVINA 20. STOLETÍ.....	7
2.5.1	<i>Konrád Zuse</i> .....	7
2.5.2	<i>Alan Mathison Turing</i> .....	8
2.6	ROZMACH POČÍTAČŮ .....	10
2.6.1	<i>John Louis von Neumann</i> .....	11
2.6.2	<i>Počítač Mark I</i> .....	13
2.6.3	<i>Počítač EDSAC</i> .....	14
2.7	POČÍTAČOVÝ PRŮMYSL .....	15
2.8	POVÁLEČNÉ OBDOBÍ V ČECHÁCH .....	16
2.8.1	<i>Antonín Svoboda</i> .....	19
2.9	ROZVOJ MIKROPROCESSORŮ A PERSONÁLNÍCH POČÍTAČŮ .....	20
3	ARCHITEKTURA, ORGANIZACE A IMPLEMENTACE POČÍTAČE.....	23
3.1	ARCHITEKTURA POČÍTAČE.....	23
3.2	ORGANIZACE POČÍTAČE.....	25
3.3	IMPLEMENTACE POČÍTAČE .....	28
3.4	PROGRAMOVÁNÍ .....	30
3.5	ZÁKLADNÍ PRVKY POČÍTAČE .....	31
3.6	FORMÁLNÍ POPIS POČÍTAČOVÉHO SYSTÉMU .....	31
4	REPREZENTACE DAT .....	37
4.1	LOGICKÉ HODNOTY .....	37
4.2	ZNAKY .....	38
4.3	ČÍSELNÉ SOUSTAVY .....	38
4.3.1	<i>Polyadické číselné soustavy</i> .....	39
4.3.2	<i>Nepolyadické číselné soustavy</i> .....	39
4.3.3	<i>Konverze mezi polyadickými soustavami o různém základu</i> .....	40
4.3.4	<i>Chyby při konverzi</i> .....	42
4.4	ČÍSLA V PEVNĚ ŘADOVÉ ČÁRCE .....	44
4.4.1	<i>Binární čísla se znaménkem</i> .....	45
4.4.2	<i>Dvojkový doplněk</i> .....	46
4.4.3	<i>Čísla v kódu BCD</i> .....	46
4.5	ČÍSLA V PLOVOUCÍ ŘADOVÉ ČÁRCE.....	47
4.5.1	<i>Přesnost záznamu reálných čísel</i> .....	50
4.5.2	<i>Doporučení IEEE-754 (854)</i> .....	51
4.5.3	<i>Reprezentace reálných čísel v procesorech Intel</i> .....	53
4.5.3.1	<i>Nuly se znaménkem</i> .....	53
4.5.3.2	<i>Normalizované a denormalizované konečné hodnoty</i> .....	53
4.5.3.3	<i>Nekonečna se znaménkem</i> .....	55
4.5.3.4	<i>Nečíselné hodnoty</i> .....	55
4.5.3.5	<i>Formáty čísel</i> .....	55
4.6	SPECIÁLNÍ TYPY ZÁZNAMU ČÍSEL .....	56

4.7	<b>DATA S AUTOMATICKOU IDENTIFIKACÍ</b> .....	56
4.7.1	Tagované paměti.....	57
4.7.2	Deskriptory dat.....	57
4.7.3	Objekty.....	58
4.8	<b>STRATEGIE MATEMATICKÝCH OPERACÍ</b> .....	58
4.8.1	Operace sčítání a odčítání.....	58
4.8.2	Operace násobení a dělení.....	59
5	<b>INSTRUKCE</b> .....	61
5.1	<b>INSTRUKČNÍ REPERTOÁR</b> .....	62
5.1.1	Variace operačních kódů.....	62
5.1.2	Variace operandů.....	63
5.1.3	Modalita polí operandu.....	63
5.1.4	Modalita ochrany paměti.....	63
5.2	<b>OPERANDY INSTRUKCÍ</b> .....	64
5.2.1	Čtyřadresové instrukce.....	64
5.2.2	Tříadresové instrukce.....	64
5.2.3	Dvouadresové instrukce.....	65
5.2.4	Jednoadresové instrukce.....	65
5.2.5	Bezadresové počítače.....	65
5.3	<b>SKUPINY INSTRUKCÍ</b> .....	66
5.3.1	Instrukce přesunu dat.....	66
5.3.2	Skupina aritmeticko-logických instrukcí.....	66
5.3.3	Skupina instrukcí posuvu a rotace.....	67
5.3.4	Skupina skokových instrukcí.....	68
5.3.5	Instrukce pro operace se zásobníkem.....	68
5.3.6	Instrukce řízení stroje.....	69
5.3.7	Skupina instrukcí vstupu a výstupu.....	69
5.4	<b>INSTRUKČNÍ REPERTOÁR - VELIKOST, SLOŽITOST A ÚPLNOST</b> .....	70
5.5	<b>ZPŮSOBY ADRESOVÁNÍ</b> .....	71
5.5.1	Přímé adresování.....	71
5.5.2	Nepřímé adresování.....	73
5.5.3	Relativní adresování.....	73
5.5.4	Indexované adresování.....	75
6	<b>PROCESORY</b> .....	77
6.1	<b>ŘADIČ</b> .....	79
6.2	<b>FORMÁTY MIKROINSTRUKCÍ</b> .....	83
6.3	<b>NANOPROGRAMOVÁNÍ</b> .....	84
6.4	<b>VIRTUÁLNÍ PROCESOR</b> .....	86
6.5	<b>OPTIMALIZACE PRÁCE PROCESORU</b> .....	88
6.5.1	Procesory s proudovým zpracováním.....	88
6.5.2	Vektorové procesory.....	90
6.5.3	Superskalární procesory.....	93
6.5.4	Prerovnání instrukcí.....	94
6.5.5	Optimalizace instrukcí skoku.....	96
6.5.6	Instrukce vázané daty.....	98
6.6	<b>DALŠÍ ZVYŠOVÁNÍ VÝKONNOSTI PROCESORŮ</b> .....	98
6.6.1	Koncepce architektury RISC.....	99
6.6.2	Taxonomie procesorů RISC.....	102
6.6.3	Přehled vlastností komerčně dodávaných procesorů.....	103
6.6.3.1	Procesory typu SPARC.....	104
6.6.3.2	Procesor IBM - RS/6000.....	104
6.6.3.3	Procesor Intel 860.....	105
6.6.4	Architektury Post-RISC.....	106
6.6.4.1	Jednotka predekódování a vyrovnávací paměti instrukcí (1).....	107

6.6.4.2	Predikční jednotka (Fetch/Flow) (2) .....	108
6.6.4.3	Dekódování a skoky (Decode/Branch) (3) .....	108
6.6.4.4	Přidělování instrukcí a změna uspořádání (4) .....	109
6.6.4.5	Exekuční jednotky (5) .....	109
6.6.4.6	Odkládací jednotka a vyrovnávací paměť pro ukončené instrukce (6) .....	110
6.6.4.7	Proudová linka zpracování instrukcí u procesorů třídy post-RISC .....	111
6.6.5	<i>Třída post-RISC jako procesor řízený daty</i> .....	111
6.6.6	<i>Příklady vybraných procesorů</i> .....	112
6.6.6.1	DEC Alpha 21 164 (21 264) .....	112
6.6.6.2	IBM PowerPC 604 .....	113
6.6.6.3	Intel Pentium P6 .....	115
<b>7</b>	<b>PAMĚTI</b> .....	<b>117</b>
<b>7.1</b>	<b>CHARAKTERISTIKY PAMĚTI</b> .....	<b>117</b>
7.1.1	<i>Rozlišení paměti podle přístupu k datům</i> .....	118
7.1.2	<i>Rozlišení paměti podle implementace</i> .....	119
7.1.3	<i>Rozlišení paměti podle umístění v systému</i> .....	121
<b>7.2</b>	<b>VNITŘNÍ ORGANIZACE PAMĚŤOVÝCH JEDNOTEK</b> .....	<b>122</b>
7.2.1	<i>Paměť se širokým slovem</i> .....	123
7.2.2	<i>Paměť s prokládanými cykly</i> .....	123
7.2.2.1	Techniky redukce konfliktů .....	124
7.2.3	<i>Kontrola a opravy chyb dat v pamětech</i> .....	126
<b>7.3</b>	<b>HIERARCHICKÉ PAMĚŤOVÉ SYSTÉMY</b> .....	<b>128</b>
7.3.1	<i>Mapovací mechanismy</i> .....	129
7.3.2	<i>Dvojirovňový paměťový systém</i> .....	130
7.3.2.1	Stránkovaná paměť .....	130
7.3.2.2	Segmentovaná paměť .....	131
7.3.2.3	Stránkovaná segmentová paměť .....	131
7.3.3	<i>Efektivní přístupová doba</i> .....	132
7.3.4	<i>Příklady realizace virtuálního adresování</i> .....	133
7.3.4.1	Sun SPARC .....	133
7.3.4.2	Intel Pentium .....	135
7.3.5	<i>Struktura programu a virtuální paměťový systém</i> .....	137
7.3.6	<i>Strategie výměny bloku</i> .....	138
7.3.6.1	Strategie FIFO .....	139
7.3.6.2	Strategie LRU .....	140
7.3.7	<i>Tříúrovňový paměťový systém</i> .....	141
7.3.7.1	Vyrovňovací paměť s přímým mapováním .....	143
7.3.7.2	Vyrovňovací paměť s asociativním mapováním .....	143
7.3.7.3	Vyrovňovací paměť s částečně asociativním mapováním .....	144
7.3.8	<i>Zapisovací strategie</i> .....	145
7.3.8.1	Strategie současného zápisu .....	146
7.3.8.2	Strategie zpožděného zápisu .....	146
7.3.8.3	Strategie předběžného zápisu .....	147
7.3.8.4	Porovnání strategií zápisu .....	147
7.3.9	<i>Redukce ztrát výkonu v hierarchických paměťových systémech</i> .....	147
7.3.9.1	Snížení počtu výpadků bloku .....	147
7.3.9.2	Redukce ztrát při výpadku bloku .....	148
7.3.9.3	Redukce času potřebného k nalezení shody .....	149
7.3.10	<i>Virtuální a fyzické vyrovnávací paměti</i> .....	149
<b>8</b>	<b>PROPOJOVACÍ SUBSYSTÉMY</b> .....	<b>151</b>
<b>8.1</b>	<b>SMĚROVÉ ORGANIZACE</b> .....	<b>152</b>
8.1.1	<i>Základní pojmy</i> .....	152
8.1.2	<i>Statické sítě</i> .....	153
8.1.2.1	Lineární síť .....	153
8.1.2.2	Stromové síť a hvězda .....	153
8.1.2.3	Kruhová síť .....	154
8.1.2.4	Planární topologie .....	155
8.1.2.5	Hyperkrychle .....	155
8.1.2.6	Komunikační strategie ve statických sítích .....	155
8.1.3	<i>Dynamické sítě</i> .....	156
8.1.3.1	Křížové přepínače .....	156
8.1.3.2	Propojovací síť s výměnou .....	157

8.1.3.3	Víceúrovňové prepínací sítě.....	158
8.1.3.4	Strategie řízení dynamické sítě.....	159
<b>8.2</b>	<b>SBĚRNICOVÉ ORGANIZACE .....</b>	<b>160</b>
8.2.1	<i>Sběrnice hierarchie .....</i>	<i>161</i>
8.2.2	<i>Synchronní a asynchronní přenos.....</i>	<i>162</i>
8.2.3	<i>Arbitráž požadavků o sběrnici .....</i>	<i>164</i>
8.2.4	<i>Příklady sběrnic v komerčních systémech .....</i>	<i>166</i>
8.2.4.1	Paralelní sběrnice AGP.....	166
8.2.4.2	Sériová sběrnice USB.....	167
<b>8.3</b>	<b>ZPŮSOBY PROGRAMOVÉ OBSLUHY PROPOJENÍ.....</b>	<b>167</b>
8.3.1	<i>Programová obsluha.....</i>	<i>168</i>
8.3.2	<i>Obsluha s využitím přerušení.....</i>	<i>168</i>
8.3.3	<i>Blokové přenosy - DMA.....</i>	<i>169</i>
8.3.3.1	Přímý přístup s odpojením procesoru .....	170
8.3.3.2	Přímý přístup s "kradením" cyklů.....	171
8.3.3.3	Multiplexovaný přístup .....	171
8.3.4	<i>Samostatné procesory .....</i>	<i>171</i>
<b>9</b>	<b>TAXONOMIE VÝPOČETNÍCH SYSTÉMŮ .....</b>	<b>173</b>
9.1	<b>FLYNNOVA TAXONOMIE .....</b>	<b>173</b>
9.2	<b>PROCESORY TYPU SISD .....</b>	<b>173</b>
9.3	<b>PROCESORY TYPU SIMD .....</b>	<b>174</b>
9.4	<b>PROCESORY MISD .....</b>	<b>174</b>
9.5	<b>PROCESORY MIMD.....</b>	<b>175</b>
9.6	<b>DALŠÍ POUŽÍVANÉ TAXONOMIE .....</b>	<b>175</b>
<b>10</b>	<b>POČÍTAČOVÉ SYSTÉMY S VYSOKÝM VÝKONEM.....</b>	<b>177</b>
<b>10.1</b>	<b>PŘEHLED ORGANIZACÍ S VYSOKÝM VÝKONEM .....</b>	<b>178</b>
10.1.1	<i>Multiprocesory MIMD se sdílenou pamětí.....</i>	<i>179</i>
10.1.2	<i>Multiprocesorové vektorové stroje.....</i>	<i>180</i>
10.1.3	<i>Systémy MIMD s distribuovanými pamětmi.....</i>	<i>181</i>
10.1.4	<i>Stroje SIMD.....</i>	<i>182</i>
10.1.5	<i>Maticové počítače .....</i>	<i>183</i>
10.1.6	<i>Distribuované paměti.....</i>	<i>184</i>
10.1.7	<i>Porovnání systémů SIMD a MIMD .....</i>	<i>186</i>
<b>10.2</b>	<b>PARALELNÍ SYSTÉMY.....</b>	<b>186</b>
10.2.1	<i>Podmínky pro paralelní provádění výpočtu.....</i>	<i>186</i>
10.2.2	<i>Granularita.....</i>	<i>187</i>
10.2.3	<i>Způsoby paralelního zpracování.....</i>	<i>187</i>
10.2.4	<i>Výkon paralelního systému .....</i>	<i>188</i>
10.2.5	<i>Účinnost paralelního zpracování.....</i>	<i>192</i>
10.2.6	<i>Účinnost paralelních algoritmů .....</i>	<i>193</i>
<b>11</b>	<b>NETRADIČNÍ STROJE.....</b>	<b>195</b>
<b>11.1</b>	<b>ASOCIATIVNÍ PROCESORY.....</b>	<b>195</b>
<b>11.2</b>	<b>POČÍTAČE ŘÍZENÉ UDÁLOSTMI .....</b>	<b>196</b>
11.2.1	<i>Počítač řízený tokem dat.....</i>	<i>196</i>
11.2.1.1	<i>Jednoučelové počítače řízené daty.....</i>	<i>197</i>
11.2.1.2	<i>Statické a dynamické univerzální počítače .....</i>	<i>198</i>
11.2.2	<i>Aplikační charakteristiky počítačů řízených tokem dat.....</i>	<i>198</i>
11.2.3	<i>Redukční počítače .....</i>	<i>199</i>
<b>11.3</b>	<b>SYSTOLICKÁ POLE .....</b>	<b>199</b>
<b>11.4</b>	<b>NEURONOVÉ SÍTĚ.....</b>	<b>200</b>
<b>12</b>	<b>PERSPEKTIVY DALŠÍHO TECHNOLOGICKÉHO ROZVOJE.....</b>	<b>203</b>
<b>12.1</b>	<b>MECHANICKÉ NANOPOČÍTAČE.....</b>	<b>205</b>

12.2	CHEMICKÉ NANOPOČÍTAČE .....	205
12.2.1	<i>Biologické systémy</i> .....	207
12.3	KVANTOVÉ NANOPOČÍTAČE .....	207
12.4	ELEKTRONICKÉ NANOPOČÍTAČE.....	210
13	MĚŘENÍ VÝKONNOSTI .....	213
14	SPOLEHLIVOST POČÍTAČOVÝCH SYSTÉMŮ .....	217
14.1	ZÁKLADNÍ POJMY .....	217
14.1.1	<i>Spolehlivost <math>R(t)</math></i> .....	218
14.1.2	<i>Pravděpodobnost poruchy <math>Q(t)</math></i> .....	218
14.1.3	<i>Hustota rozložení poruch <math>q(t)</math></i> .....	218
14.1.4	<i>Střední doba bezporuchového provozu - MTBF</i> .....	219
14.2	HODNOCENÍ SPOLEHLIVOSTI.....	220
14.3	ZÁLOHOVÁNÍ.....	221
14.4	SPOLEHLIVOST PROGRAMOVÉHO VYBAVENÍ.....	225
15	PŘÍLOHY.....	226
15.1	HISTORICKÝ PŘEHLED VÝZNAMNÝCH TYPŮ POČÍTAČŮ DO ROKU 1978 .....	228
15.2	KÓDOVACÍ TABULKA EBCDIC.....	229
15.3	KÓDOVACÍ TABULKA ASCII.....	230
15.4	KÓDOVACÍ TABULKA LATIN 2.....	232
15.5	SEZNAM NEJDŮLEŽITĚJŠÍCH ANGLICKÝCH ZKRATEK Z VÝPOČETNÍ TECHNIKY .....	237
16	LITERATURA.....	