

<b>Poděkování</b>	<b>7</b>
<b>Předmluva vydavatele</b>	<b>11</b>
<b>Předmluva</b>	<b>15</b>
<b>1 FPGA? Co, prosím?</b>	<b>25</b>
1.1 Programovatelné obvody	25
1.2 Jaké FPGA?	30
1.3 Jaký kit vybrat?	34
<b>2 Základy VHDL</b>	<b>49</b>
2.1 Proč se učit VHDL?	49
2.2 Než začneme...	49
2.3 Úplné základy a nezbytná teorie	50
2.4 Hello world!	53
2.5 LUT	58
2.6 Testování	58
2.7 Komponenty a signály	68
2.8 Bit sem, bit tam...	79
2.9 Typy, operátory a atributy	88
2.10 Proces	98
2.11 Hodinové signály a čas	109
2.12 Klopné obvody, registry a další...	114
2.13 Funkce, procedury, balíčky	129
2.14 VHDL 2008	140
<b>3 Podrobněji o FPGA</b>	<b>145</b>
3.1 Jak FPGA pracují?	145
3.2 Piny a jejich přiřazení	145
3.3 Hodinové signály	147
3.4 Nahrávání konfigurace do kitu EP2C5	147
<b>4 Analogový výstup</b>	<b>157</b>
4.1 PWM	157
4.2 Pokus: FPGA siréna	164
<b>5 Paměti</b>	<b>173</b>
5.1 Obousměrná sběrnice	173
5.2 Paměti RAM (RWM)	174
5.3 Paměť ROM	180

5.4	IP: Hotové paměti	180
5.5	Pokus: Melodický zvonek	183
<b>6</b>	<b>Čítače</b>	<b>187</b>
6.1	Binární čítače	187
6.2	Speciální čítače	190
6.3	Problém s přenosem	192
<b>7</b>	<b>Automaty</b>	<b>195</b>
7.1	Konečné automaty	195
7.2	UART	197
<b>8</b>	<b>Hodinové domény</b>	<b>207</b>
8.1	Hodinové domény	207
8.2	UART, druhý díl - přijímač	215
<b>9</b>	<b>Generátor (pseudo)náhodných čísel</b>	<b>223</b>
9.1	LFSR	224
<b>10</b>	<b>IP, OpenCores a hardware s FPGA</b>	<b>231</b>
10.1	Multicomp	233
10.2	MiST	234
10.3	ZX Spectrum Next	235
10.4	Gameduino	236
<b>11</b>	<b>OMEN Alpha, tentokrát ve FPGA</b>	<b>239</b>
<b>12</b>	<b>Generování VGA videosignálu</b>	<b>249</b>
12.1	VGA teoreticky	249
12.2	Synchronizace	250
12.3	R, G, B	252
12.4	PLL	252
12.5	Kalkulačka!	254
12.6	Jednoduchý obrazec	255
<b>13</b>	<b>Užitečné obvody</b>	<b>261</b>
13.1	Dekodér pro sedmisegmentovky	261
13.2	Multiplexní buzení sedmisegmentového displeje	263
13.3	Generická dělička kmitočtu	265
13.4	Generátor úvodního signálu RESET	266
13.5	Debouncer	267

13.6	Sériové rozhraní SPI	269
13.7	Rozhraní I <sup>2</sup> C	276
13.8	Připojení SD karty	279
13.9	Generátor parity	281
13.10	Připojení PS/2	282
13.11	SDRAM	285
13.12	HDMI	290
<b>14</b>	<b>Vlastní mikroprocesor</b>	<b>295</b>
14.1	Architektura mikroprocesoru	296
14.2	Přípravné práce	297
14.3	Mikroprocesor MHRD	305
<b>15</b>	<b>Stručný úvod do Verilogu</b>	<b>317</b>
15.1	Syntaktické základy Verilogu	319
15.2	Datové typy	320
15.3	Operátory	322
15.4	Moduly	322
15.5	Porty	323
15.6	Příkaz assign	324
15.7	Blok always	326
15.8	Testování - blok initial	329
15.9	Stručné shrnutí základů Verilogu	332
15.10	Parametrizace modulů	333
15.11	Blokové instrukce	335
15.12	A dál?	337
<b>16</b>	<b>Verilog prakticky</b>	<b>341</b>
16.1	FORTH a procesor J1	341
16.2	Implementace procesoru J1 ve Verilogu	345
16.3	Verilog vs VHDL	352
<b>17</b>	<b>Doslov</b>	<b>357</b>
<b>18</b>	<b>Příloha: Kit EP2C5T144</b>	<b>361</b>
18.1	Mapa obsazených pinů	361
<b>19</b>	<b>Příloha: Kit OMDAZZ</b>	<b>365</b>
<b>20</b>	<b>Příloha: VHDL v kostce</b>	<b>369</b>
20.1	Operátory	369

20.2	Atributy	370
20.3	Deklarace	372
20.4	Rozhodování (resolution)	379
20.5	Sekvenční příkazy	381
20.6	Konkurenční příkazy	386