

I. VÝVOJ INTEGROVANÝCH OBVODŮ . . . . .	3
1.0 Úvod . . . . .	3
1.1 Hustota integrace . . . . .	4
1.2 Faktory ovlivňující hustotu integrace . . . . .	5
II. VLASTNOSTI FUNKČNÍCH STRUKTUR . . . . .	8
1.0 Přehled základů fyziky polovodičů . . . . .	8
1.1 Energetické pásmové diagramy . . . . .	8
1.2 Statistika nosičů náboje . . . . .	9
1.3 Intrinsická koncentrace . . . . .	10
1.4 Koncentrace příměsového polovodiče . . . . .	10
1.5 Fermiho potenciál . . . . .	11
1.6 Vlastnosti povrchu polovodiče . . . . .	11
1.7 Elektrická vodivost polovodiče . . . . .	12
1.8 Difúzní proud . . . . .	12
1.9 Celková hustota elektronového a děrového proudu . . . . .	13
2.0 Přehled základních vlastností křemíku . . . . .	13
2.1 Krystalické vlastnosti křemíku . . . . .	14
2.2 Energetické pásmové diagramy křemíku . . . . .	15
2.3 Intrinsický křemík . . . . .	16
2.4 Křemík vodivosti typu N (dotace donory) . . . . .	16
2.5 Křemík vodivosti typu P (dotace akceptory) . . . . .	17
2.6 Hluboké příměsí v křemíku . . . . .	17
2.7 Fermiho potenciál v křemíku . . . . .	18
2.8 Hallova pohyblivost nosičů náboje v křemíku . . . . .	18
2.9 Rezistivita křemíku . . . . .	19
3.0 Přejchod PN . . . . .	20
3.1 Přejchod pn polarizovaný v propustném směru . . . . .	23
3.2 Přejchod pn polarizovaný v závěrném směru . . . . .	25
3.3 Průrazné napětí přejchodu pn . . . . .	26
3.4 Kapacita ochuzené oblasti . . . . .	27
3.5 Přejchody pn v integrovaných obvodech . . . . .	27
4.0 Přejchod kov-polovodič . . . . .	29
4.1 Ohmický kontakt . . . . .	30
5.0 Struktura MIS . . . . .	32
5.1 Reálná struktura MIS . . . . .	35
5.2 Struktura Poly Si - SiO <sub>2</sub> - Si . . . . .	37
5.3 Efektivní náboj ve struktuře MIS . . . . .	39
5.4 Náboje ve struktuře kov - SiO <sub>2</sub> - Si . . . . .	40
5.5 Vlastnosti rozhraní Si - SiO <sub>2</sub> . . . . .	41
5.6 Napětí rovných pásem . . . . .	42
5.7 C-V charakteristiky struktury MIS . . . . .	42

	str.
III. AKTIVNÍ PRVKY V IO . . . . .	47
1.0 Bipolární tranzistory v IO . . . . .	47
1.1 Základní vlastnosti bipolárního tranzistoru . . . . .	47
1.2 Stejnoseměrné charakteristiky . . . . .	52
1.3 Operační módy bipolárního tranzistoru . . . . .	54
1.4 Přenosové vlastnosti bipolárního tranzistoru . . . . .	55
1.5 Gummelovo číslo . . . . .	55
1.6 Bipolární tranzistor ve funkci spínače . . . . .	56
1.7 Bipolární tranzistor ve funkci zesilovače . . . . .	58
1.8 Struktury bipolárních tranzistorů . . . . .	58
1.9 Komplementární bipolární tranzistory . . . . .	61
2.0 Unipolární tranzistory MISFET v IO . . . . .	62
2.1 Základní vlastnosti tranzistoru MISFET . . . . .	62
2.2 Stejnoseměrné charakteristiky tranzistoru MISFET . . . . .	66
2.3 Operační módy tranzistoru MISFET . . . . .	67
2.4 Tranzistor MISFET se zabudovaným kanálem . . . . .	68
2.5 Průrazy v tranzistoru MISFET . . . . .	69
2.6 Efekt zpětného hradla . . . . .	70
2.7 Tranzistor MISFET s krátkým a úzkým kanálem . . . . .	71
2.8 Pohyb nosičů náboje v tranzistoru MISFET . . . . .	72
2.9 Proudový faktor . . . . .	72
2.10 Geometrický poměr W/L . . . . .	73
2.11 Prahové napětí $U_T$ . . . . .	73
2.12 Tranzistor MISFET ve funkci rezistoru . . . . .	76
2.13 Tranzistor MISFET ve funkci spínače . . . . .	77
2.14 Přenosové vlastnosti tranzistoru MISFET . . . . .	78
2.15 Komplementární tranzistory MISFET-CMOS . . . . .	79
2.16 Parazitní tranzistor MISFET v poli IO . . . . .	80
2.17 Parazitní bipolární tranzistor ve struktuře tranzistoru MISFET . . . . .	81
2.18 Struktury unipolárních tranzistorů MOSFET . . . . .	92
2.19 Unipolární tranzistor MISFET ve funkci zesilovače . . . . .	83
IV. PASIVNÍ PRVKY V IO . . . . .	84
1.0 Monolitické rezistory . . . . .	84
1.1 Difúzní rezistor vytvořený pomocí bázové difúze v bipolárních IO . . . . .	85
1.2 Rezistor vytvořený epitaxní vrstvou překrytou bázovou difúzí . . . . .	86
1.3 Difúzní rezistor vytvořený pomocí bázové difúze překrytý emitorovou difúzí . . . . .	86
1.4 Rezistory v unipolárních IO . . . . .	88
1.5 Implantované rezistory . . . . .	89
1.6 Vrstvové rezistory v IO . . . . .	89
2.0 Monolitické kapacitory . . . . .	90
2.1 Difúzní kapacitor vytvořený přechodem báze-kolektor v bipolárních IO . . . . .	90
2.2 Difúzní kapacitor vytvořený přechodem emitor-báze v bipolárních IO . . . . .	90
2.3 Kapacitor vytvořený strukturou MOS v bipolárních IO . . . . .	91

	str.	
2.4	Kapacitor vytvořený hradlovým izolantem v unipolárních IO s hradlem Al . . . . .	92
2.5	Kapacitor vytvořený strukturou poly Si-SiO <sub>2</sub> -poly Si . . . . .	92
2.6	Kapacitor vytvořený strukturou poly Si-SiO <sub>2</sub> -Si . . . . .	92
3.0	Diody pro integrované obvody . . . . .	93
3.1	Diody v bipolárních IO . . . . .	93
3.2	Diody v unipolárních IO . . . . .	95
3.3	Příklady využití diod v IO . . . . .	95
V.	TECHNOLOGICKÝ PROCES VYTVÁŘENÍ IO NA BÁZI Si . . . . .	98
1.0	Základní principy vytváření IO . . . . .	98
2.0	Příprava monokrystalů a substrátů Si . . . . .	101
2.1	Vytváření monokrystalů Si . . . . .	101
2.2	Vytváření křemíkových podložek - substrátů . . . . .	103
2.3	Getrování substrátů . . . . .	104
2.4	Základní vlastnosti Si substrátů pro IO . . . . .	105
3.0	Litografie . . . . .	106
3.1	Fotolitografie . . . . .	107
3.2	Elektronová litografie . . . . .	109
3.3	Rentgenová litografie . . . . .	109
3.4	Výhledy litografie . . . . .	110
4.0	Leptání . . . . .	111
5.0	Termická oxidace křemíku . . . . .	114
6.0	Difúze . . . . .	118
7.0	Iontová implantace . . . . .	121
8.0	Fyzikální a chemické nanášení vrstev . . . . .	123
9.0	Epitaxe . . . . .	126
10.0	Pouzření integrovaných obvodů . . . . .	127
VI.	STRUKTURY BIPOLÁRNÍCH IO . . . . .	131
1.0	Izolační techniky . . . . .	131
2.0	Základní postupy vytváření bipolární struktury v izoplanární technologii . . . . .	133
3.0	Významnější vlastnosti etap procesu vytváření bipolárních IO . . . . .	136
3.1	Utopené oblasti . . . . .	136
3.2	Epitaxní vrstvy . . . . .	136
3.3	Izolace . . . . .	136
3.4	Oblasti báze . . . . .	137
3.5	Oblasti emitoru . . . . .	138
3.6	Kontakty . . . . .	138
4.0	Základní postupy vytváření komplementární dvojice bipolárních tranzistorů NPN a laterálního PNP v izoplanární technologii . . . . .	138
5.0	Bipolární struktury se Schottkyho diodou . . . . .	142
6.0	Struktury I <sup>2</sup> L - injekční logika (Integrated Injection Logic). . . . .	142

	str.
7.0 Vývojové etapy bipolární technologie . . . . .	144
VII. STRUKTURY UNIPOLÁRNÍCH IO . . . . .	146
1.0 Hradla unipolárních tranzistorů MOSFET . . . . .	146
2.0 Struktury NMOS . . . . .	148
2.1 Polní tranzistor NMOS . . . . .	150
2.2 Základní postupy vytváření invertoru NMOS . . . . .	151
2.3 Základní postupy vytváření logického hradla NAND v technologii NMOS . . . . .	154
3.0 Významnější vlastnosti etap procesu vytváření unipolárních IO NMOS . . . . .	157
3.1 Substrát . . . . .	157
3.2 Ovládání prahového napětí . . . . .	159
3.3 Vytváření tranzistoru NMOS se zabudovaným kanálem . . . . .	161
3.4 Vytváření tranzistoru NMOS s krátkým kanálem . . . . .	161
4.0 Princip zmenšování rozměrů funkčních struktur MOS . . . . .	163
4.1 Efekt malých geometrických rozměrů kanálu . . . . .	166
4.2 Injekce horkých elektronů . . . . .	167
4.3 Podprahové proudy . . . . .	167
5.0 Technologie CMOS . . . . .	168
5.1 Základní postupy vytváření invertoru v technologii CMOS s Poly Si hradlem a jámou P <sup>-</sup> . . . . .	169
5.2 Varianty technologie CMOS se substrátem Si . . . . .	176
5.3 Parazitní bipolární struktury v technologii CMOS . . . . .	176
6.0 Základní vlastnosti technologie SOI . . . . .	177
6.1 Varianty technologie SOI . . . . .	178
7.0 Technologie BiCMOS . . . . .	180
7.1 Základní postupy vytváření tranzistorů CMOS s bipolárním tranzistorem NPN . . . . .	180
7.2 Shrnutí základních vlastností technologického procesu BiCMOS	183
VIII. TESTOVACÍ STRUKTURY . . . . .	184
1.0 Systém sledování kvality procesu vytváření IO . . . . .	184
2.0 Technologické testovací struktury . . . . .	184
3.0 Testovací struktury vytvářené na společném substrátu s IO . . . . .	187
3.1 Testovací struktury pro sledování parametrů elektronických prvků a funkčních struktur . . . . .	188
3.2 Testovací struktury pro sledování parametrů technologického procesu . . . . .	190
3.3 Testovací struktury pro tvorbu a kontrolu návrhových pravidel	190
3.4 Testovací struktury pro analýzu náhodných poruch . . . . .	193
3.5 Testovací struktury pro sledování spolehlivosti . . . . .	193
3.6 Testovací struktury pro sledování parametrů elektronických obvodů . . . . .	193
4.0 Standardní testovací buňky . . . . .	194
5.0 Testovací čipy vytvářené ze standardních testovacích buněk .	195

5.1	Testovací čip vsazovaný mezi čipy IO . . . . .	197
5.2	Testovací čip umístěný v dělicím rámečku . . . . .	198
5.3	Testovací čip s libovolným výběrem testovací struktury . . . . .	199
6.0	Shrnutí základních údajů o využití testovacích struktur v procesu vytváření IO . . . . .	201
IX.	LOGICKÉ INTEGROVANÉ OBVODY . . . . .	204
1.0	Bipolární logické integrované obvody . . . . .	204
1.1	Bipolární invertor . . . . .	205
1.2	Šumová imunita . . . . .	206
1.3	Zatížitelnost výstupu logického hradla . . . . .	207
1.4	Integrované obvody TTL . . . . .	208
1.5	Integrované obvody STTL . . . . .	211
1.6	Integrované obvody $I^2L$ . . . . .	212
1.7	Integrované obvody ECL . . . . .	216
1.8	Shrnutí základních vlastností logických bipolárních IO . . . . .	218
2.0	Unipolární logické integrované obvody . . . . .	220
2.1	Statický invertor . . . . .	220
2.2	Stejnosměrná analýza ochuzeného invertoru . . . . .	222
2.3	Časová odezva invertoru . . . . .	223
2.4	Návrh rozměrů invertoru . . . . .	226
2.5	Logická hradla NMOS . . . . .	228
2.6	Dynamické integrované obvody NMOS . . . . .	229
2.7	Dynamický invertor NMOS . . . . .	229
2.8	Dvoufázová poměrová paměťová buňka . . . . .	230
2.9	Invertor CMOS . . . . .	231
2.10	Stejnosměrná analýza invertoru CMOS . . . . .	232
2.11	Časová odezva invertoru CMOS . . . . .	234
2.12	Logická hradla CMOS . . . . .	234
2.13	Přenosové hradlo CMOS . . . . .	235
2.14	Dynamický posuvný registr CMOS . . . . .	236
2.15	Domino logika CMOS . . . . .	236
2.16	Shrnutí základních vlastností logických unipolárních IO . . . . .	238
X.	NÁVRH LOGICKÝCH INTEGROVANÝCH OBVODŮ . . . . .	241
1.0	Vymezení a popis základních činností při návrhu IO . . . . .	241
1.1	Logický návrh . . . . .	243
1.2	Elektrický návrh . . . . .	243
1.3	Návrh topografie . . . . .	244
2.0	Příklad návrhu IO s logickou funkcí $Y = \overline{A \cdot B \cdot C} + D$ v technologii NMOS . . . . .	250
3.0	Příklad návrhu logického hradla s funkcí $Y = \overline{A \cdot B}$ v technologii CMOS . . . . .	251
4.0	Příklad návrhu RS klopného obvodu v epitaxně planární bipolární technologii . . . . .	255
5.0	Návrhová pravidla . . . . .	259
5.1	Odchytky polohy motivu vyvolané nepřesností sesazení masek . . . . .	260

5.2	Odchyly polohy hrany difúzní oblasti vznikající v procesu jejího vytváření . . . . .	261
5.3	Nepřesnost polohy hran mezi dvěma úrovněmi masek . . . . .	261
5.4	Základní parametry návrhových pravidel . . . . .	262
5.5	Druhy návrhových pravidel . . . . .	264
6.0	Metodologie návrhu integrovaných obvodů . . . . .	271
6.1	Hradlová pole . . . . .	272
6.2	Standardní buňky . . . . .	278
6.3	Hierarchicky strukturovaný návrh IO . . . . .	283
6.4	Ruční návrh integrovaných obvodů podle vzoru . . . . .	286
7.0	Symbolický návrh integrovaných obvodů . . . . .	290
7.1	Symbolický návrh bipolárních IO . . . . .	290
7.2	Symbolický návrh unipolárních IO . . . . .	293
7.3	Symbolický návrh BICMOS IO . . . . .	295
8.0	Obecnější úvahy nad problémy návrhu unipolárních a bipolárních IO . . . . .	297
LITERATURA . . . . .		299