

OBSAH

1 Úvod do diagnostiky číslicových obvodů	7
1.1 Vznik technické diagnostiky	7
1.2 Základní pojmy	7
1.3 Diagnostické testy	8
1.4 Formy diagnostiky	10
1.4.1 Periodická diagnostika	10
1.4.2 Průběžná diagnostika	11
1.5 Poruchy v číslicových obvodech	11
1.5.1 Poruchy typu t	11
1.5.2 Zkrat mezi signálními vodiči	12
1.5.3 Poruchy obvodů CMOS	13
1.5.4. Poruchy programovatelných logických polí	13
1.5.5 Nestálé poruchy	14
1.5.6 Typické zdroje poruch	14
1.6 Generování testů	14
2 Generování strukturních testů	15
2.1 Zcitlivění cesty	15
2.1.1 Princip citlivé cesty	16
2.1.2 Generování jednoho kroku testu	16
2.1.3 Podmínky úplnosti testu	17
2.1.4 Testování redundantních obvodů	19
2.2 D-algoritmus	19
2.2.1 Singulární pokrytí logického členu	20
2.2.2 Přenosová D-krychle	20
2.2.3 Primitivní D-krychle poruchy	21
2.2.4 Šíření D	22
2.2.5 Odvození jednoho kroku testu	22
2.2.6 Strategie šíření D	24
2.3 Algoritmy PODEM a FAN	24
2.3.1 Nejdůležitější heuristiky algoritmu PODEM	25
2.3.2 Nejdůležitější heuristiky algoritmu FAN	25
3 Funkční testy	25
3.1 Generování testů pomocí boolovské diference	26
3.1.1 Odvození boolovské diference z mapy	26
3.1.2 Použití boolovské diference	27
3.1.3 Algebraický výpočet boolovské diference	27
3.1.4 Detekce poruch na vnitřních vodičích obvodu	28
3.1.5 Generování úplných testů	30
3.2 Použití tabulek úplných testů	30
3.2.1 Úplné testy modulů	30
3.2.2 Zřetězení úplných testů	31
3.2.3 Problémy použití tabulek úplných testů	32
3.3 Náhodné a pseudonáhodné testy	34

4 Testování sekvenčních obvodů	36
4.1 Identifikační metody	36
4.2 Generování testů pro obvody popsané jazykem vyšší úrovně	38
4.2.1 Vlastnosti jazyků úrovně RT	38
4.2.2 Reprezentace poruch na úrovni RT	38
4.3 Strukturální metody	39
5 Automatizace generování testů	41
5.1 Interakční systémy	42
5.2 Systémy AGT	42
5.3 Kontrola testů	44
5.3.1 Prováděné kontroly	44
5.3.2 Formy simulace	44
5.3.3 Použití číslicové simulace pro kontrolu testů	45
5.3.4 Vytváření modelu testované jednotky	45
5.3.5 Technika simulace poruch	46
5.4 Minimalizace testů	49
5.4.1 Tabulka poruch	49
5.4.2 Minimalizace detekčních testů	51
6 Kompresie diagnostických dat	52
6.1 Kompresní metody založené na čítání	52
6.2 Příznaková analýza	53
6.2.1 Princip příznakové analýzy	53
6.2.2 Příznakový analyzátor	55
6.2.3 Měření pomocí příznakového analyzátoru	56
6.2.4 Použití v mikroprocesorových systémech	57
6.3 Slovníky poruch	58
6.3.1 Koincidenční slovník	59
6.3.2 Slovníky s nižším rozlišením	60
7. Návrh pro snadnou diagnostiku	61
7.1 Vývoj metod návrhu pro snadnou diagnostiku	61
7.2 Strukturovaný návrh	62
7.2.1 Sériové metody	62
7.2.2 Metody s paralelním přístupem	64
7.3 Heuristické metody návrhu	66
7.3.1 Členění testované jednotky	66
7.3.2 Výběr snadno testovatelných součástek a zapojení	66
7.3.3 Použití testovacích bodů	67
7.3.4 Snadná inicializace paměťových obvodů	67
7.3.5 Vyloučení redundance	69
7.3.6 Vyloučení monostabilních obvodů	69
7.3.7 Náhrada asynchronních obvodů synchronními	70
7.3.8 Zajištění dostupnosti složitých součástek	70
7.3.9 Izolace generátorů hodin a zdrojů napájení	70
7.3.10 Zpřísňení pravidel logického a technologického návrhu	70

8	Vestavěné diagnostické prostředky	71
8.1	Diagnostické testy zapsané do paměti	71
8.1.1	Diagnostický systém střediskového počítače	72
8.1.2	Systémové testy mikropočítačů	73
8.2	Autonomní testy generované v reálném čase	74
8.2.1	Použití lineárních zpětnovazebních posuvných registrů	74
8.2.2	Použití registrů BILBO	76
8.2.3	Generátor testů HILDO	77
8.3	Generování pseudotriviálních testů	78
8.3.1	Strukturální pseudotriviální testy	79
8.3.2	Univerzální pseudotriviální testy	79
9	Zabezpečení proti poruchám	81
9.1	Bezpečnost systému	81
9.2	Obvody bezpečné proti poruchám	81
9.2.1	Zdvojení	82
9.2.2	Kontrola inverzní funkce	82
9.2.3	Dvojdřátová logika	83
9.2.4	Kontrola platnosti kódu výstupů	84
9.2.5	Použití obecného detekčního kódu	84
9.3	Úplně samočinně kontrolované obvody	85
9.3.1	Princip úplně samočinné kontroly	85
9.3.2	Hlídače parity	85
9.3.3	Hlídače kódu k z $2k$	86
9.4	Ostatní metody zabezpečení	87
9.4.1	Kontrolní výpočet	87
9.4.2	Hlídací časovač	87
10	Testování obvodů LSI a VLSI	88
10.1	Požadavky kladené na testy integrovaných obvodů	88
10.2	Testování mikroprocesorů	89
10.2.1	Výrobní testy	89
10.2.2	Uživatelské testy	90
10.3	Testování paměti	91
10.3.1	Poruchy paměti RAM	92
10.3.2	Vzorky pro testování paměti RAM	92
10.3.3	Parametrické testy	95
10.3.4	Testování permanentních paměti	96
11	Zkoušeče	96
11.1	Nejdůležitější funkční bloky zkoušečů	96
11.2	Zkoušeče integrovaných obvodů	98
11.3	Zkoušeče neosazených desek a kabeláže	99
11.4	Zkoušeče osazených desek	100
11.4.1	Konektorové zkoušeče	100
11.4.2	Použití řízené sondy	101
11.4.3	Vnitroobvodové zkoušeče	102
11.5	Jazyky pro zápis testů	104

12 Úvod do studia spolehlivosti	105
12.1 Základní pojmy	105
12.2 Ukazatele spolehlivosti neobnovovaných objektů	106
12.3 Ukazatele spolehlivosti obnovovaných objektů	109
12.4 Hodnoty ukazatelů spolehlivosti	111
13 Hodnocení spolehlivosti číslicových systémů	113
13.1 Spolehlivostní modely	113
13.2 Hodnocení spolehlivosti systémů s nezávislými prvky	115
13.2.1 Sériový model	115
13.2.2 Paralelní model	116
13.2.3 Kombinované modely	117
13.3 Markovské spolehlivostní modely	119
13.3.1. Markovské náhodné procesy	119
13.3.2. Markovské modely s absorpčními stavy	121
13.3.3. Markovské modely bez absorpčních stavů	124
14 Metody zálohování systémů	127
14.1 Klasifikace forem zálohy	127
14.1.1 Použité prostředky	127
14.1.2 Stupeň využití zálohy v čase	128
14.1.3 Úroveň využití zálohy	128
14.1.4 Vztah záložního a zálohovaného prvku	129
14.1.5 Funkce zálohy	129
14.2 Statická záloha	129
14.2.1 Úroveň součástí	130
14.2.2 Systém TMR	131
14.2.3. Systém NMR	133
14.3 Dynamická záloha	135
14.3.1 Režimy činnosti dynamické zálohy	136
14.3.2 Duplexní systém	138
14.3.3 Biduplexní systém	139
14.3.4 Záloha typu "M z N"	140
14.4 Hybridní záloha	141
15 Metody řízení spolehlivosti	142
15.1 Předcházení poruchám	142
15.2 Odolnost proti poruchám	143
15.3 Oblasti využití systémů odolných proti poruchám	145
15.4 Rysy odolnosti proti poruchám v univerzálních počítačích	146
15.4.1 Použití samoopravného kódu v hlavní paměti	146
15.4.2 Opakování pokusu	147
15.5 Příklady architektury systémů odolných proti poruchám	148
15.5.1 August Systems série 300	148
15.5.2 Systém Tandem NonStop	150
15.6 Využití odolnosti proti poruchám na úrovni obvodů VLSI	151
15.6.1 Paměťové čipy	151
15.6.2 Rekonfigurovatelné procesorové čipy	152
Literatura	155