Obsah

1. Úvod 15
1.1 Rozdělení knihy 15
1.2 Určení knihy 17
1.3 Použitá terminologie 18

2. Proč vlastně PLD? 21

3. Teoretické základy 27
3.1 Teorie logických obvodů 27
3.1.1 Základní pojmy 27
3.1.2 Kombinační a sekvenční logické obvody 32
3.1.3 Proces minimalizace 34
3.2 Definice pojmů obvodů PLD 35
3.2.1 Použitá symbolika 37
3.2.2 Historie vývoje PLD 46

4. Architektury programovatelných polí 57
4.1 PLD typu Programmable Read Only Memory (PROM) 57
4.2 PLD typu Field Programmable Logic Array (FPLA) 61
4.3 PLD typu Programmable Array Logic (PAL) 70
4.4 PLD typu Generic Array Logic (GAL) 76
4.5 PLD typu Erasable Programmable Logic Device (EPLD) 93
4.6 PLD typu Logic Cell Array (LCA) 98
4.7 PLD typu Multiple Array Programmable Logic (MAPL) 107
4.8 PLD typu Macro Array CMOS High-density (MACH) 112

5. Metodika návrhu s PLD 121
5.1 Specifikace a formalizace návrhu 122
5.2 Sjednocení vstupů 126
5.3 Minimalizace 127
5.4 Volba typu PLD 127
5.5 Optimalizace využití prostředků 128
5.6 Dokumentace 128
5.7 Generování JEDEC souboru 129
5.8 Programování 129
5.9 Testování 130
5.10 Příklad návrhu 130

6. Vývojové systémy 135
6.1 Vývojový systém PALASM 137
6.1.1 Charakteristiky systému PALASM II 138
6.1.2 Definice syntaxe 141
6.2 Vývojový systém ABEL 145
6.3 Vývojový systém iPLS II 149
6.3.1 Charakteristiky systému iPLS II 149
6.3.2 Definice syntaxe 152
6.3.3 Návrh se stavovými automaty 159
6.4 Vývojový systém PLDshell 168
6.4.1 Charakteristiky systému PLDshell 169
6.4.2 Definice syntaxe 171
6.5 Vývojový systém Tango PLD 182
6.5.1 Charakteristiky systému Tango PLD 182
6.5.2 Základní syntaktická pravidla 185
6.5.3 Testování návrhu 190
6.5.4 Další syntaktická pravidla 196
6.6 Vývojový systém OPAL 203
6.6.1 Charakteristiky systému OPAL 204
6.6.2 Definice syntaxe 209
6.6.3 Struktura zdrojového souboru 217
6.7 Vývojový systém firmy XILINX 227

7. Příklady návrhu s PLD 231
7.1 Návrh kombinačního obvodu 231
7.1.1 Rotační posuvný obvod systémem PALASM II 232
7.1.2 Rotační posuvný obvod systémem iPLS II 241
7.1.3 Rotační posuvný obvod systémem PLDshell 253
7.1.4 Rotační posuvný obvod systémem Tango PLD 261
7.1.5 Rotační posuvný obvod systémem OPAL 268
7.2 Návrh sekvenčního obvodu 275
7.2.1 Arbitr systémem PALASM II 279
7.2.2 Arbitr systémem iPLS II 286
7.2.3 Arbitr systémem PLDshell 299
7.2.4 Arbitr systémem Tango PLD 308
7.2.5 Arbitr systémem OPAL 318

8. Závěr 331

A. Řešené příklady 333
1. Dvoubitový čítač vývojovým systémem PALASM II 333
2. Dvoubitový čítač vývojovým systémem ABEL 342
3. Dvoubitový čítač vývojovým systémem iPLS II 348
4. Dvoubitový čítač vývojovým systémem PLDshell 356
5. Dvoubitový čítač vývojovým systémem Tango PLD 363
6. Dvoubitový čítač vývojovým systémem OPAL 368

B. Definice grafické symboliky 373

C. Formát JEDEC souboru 375

D. Uživatelská příručka programu PGAL 381
1. Co dělat nejdříve 382
1.1 Obsah distribuční diskety 383
1.2 Instalace programu PGAL 383
1.3 Start programu 384
1.4 Ukončení programu 386
2. Začínáme pracovat 386
2.1 Popis uživatelského rozhraní 386
2.2 Jak si počínat při ovládání 392
2.3 Okamžitá nápověda 393
2.4 Zkracovací klávesy 394
2.5 Národní prostředí 395
3. Vlastní ovládání programu 395
3.1 Menu Systém 396
3.2 Menu Soubor 398
3.3 Menu Editace 411
3.4 Menu Programování 415
3.5 Menu Tisk 417
3.6 Menu Okna 419
3.7 Menu Volby 422
3.8 Definice maker 426

E. Schéma programátoru 427

F. Výpis programu 429

Literatura 439

Seznam použitých zkratek 441

Rejstřík 449

Seznam obrázků

Obr. 1 Klasifikace zákaznických obvodů ... 22
Obr. 2 Vývoj trhu programovatelných součástek typu FPGA (LCA) ... 25
Obr. 3 Obecné schéma číslicového systému ... 27
Obr. 4 Karnaughovy mapy dvou, tří a čtyř proměnných ... 31
Obr. 5 Obecná architektura obvodů PLD ... 36
Obr. 6 Spínač - statická RAM, buňka EPROM, PROM, EEPROM ... 37
Obr. 7 Prvky architektury programovatelných polí ... 37
Obr. 8 Základní symbolika ... 38
Obr. 9 Připojení vstupů ke hradlům AND ... 39
Obr. 10 Hradlo AND se 16 vstupy - klasická symbolika ... 39
Obr. 11 Hradlo AND se 16 vstupy - PLD symbolika ... 40
Obr. 12 Příklad použití základní symboliky ... 41
Obr. 13 Schematický popis obvodů PLD ... 42
Obr. 14 Příklad zapojení logického obvodu ... 43
Obr. 15 Architektura obvodu PLD určeného na implementaci ... 43
Obr. 16 Implementace příkladu obvodem PLD ... 44
Obr. 17 Schéma výstupní makrobuňky ... 45
Obr. 18 Schéma makrobuňky obvodu TIBPAL22V10 ... 46
Obr. 19 Přehled vývoje obvodů PLD ... 54
Obr. 20 Architektura obvodů PROM ... 58
Obr. 21 Schéma obvodu typu PROM ... 59
Obr. 22 Příklad aplikace obvodu PROM při realizaci logické funkce ... 60
Obr. 23 Architektura obvodů FPLA ... 62
Obr. 24 Příklad aplikace obvodu FPLA při realizaci logických funkcí ... 63
Obr. 25 Schéma obvodu typu FPLA ... 64
Obr. 26 Architektura obvodů FPGA firmy Signetics ... 66
Obr. 27 Blokové schéma obvodu GAL6001 ... 67
Obr. 28 Stavy makrobuněk ILMC a IOLMC obvodu GAL6001 ... 68
Obr. 29 Stavy makrobuněk OLMC a BLMC obvodu GAL6001 ... 69
Obr. 30 Architektura obvodů PAL ... 71
Obr. 31 Výstupní struktura - výstup pevný, bez zpětné vazby ... 72
Obr. 32 Výstupní struktura - programovatelný výstup, kombinační ZV ... 72
Obr. 33 Výstupní struktura - programovatelný výstup, registrová ZV ... 72
Obr. 34 Schéma obvodu PAL16L8 ... 74
Obr. 35 Schéma obvodu PAL16R6 ... 75
Obr. 36 Schéma obvodů GAL ... 76
Obr. 37 Blokové schéma obvodů GAL16V8 a GAL20V8 ... 78
Obr. 38 Blokové schéma obvodu GAL16V8 ... 79
Obr. 39 Blokové schéma obvodu GAL20V8 ... 80
Obr. 40 Funkční schéma obvodu GAL16V8 ... 81

Obr. 41 Schéma logické makrobuňky obvodu GAL16V8 a GAL20V8 82
Obr. 42 OLMC - registrový výstup, programovatelná polarita 83
Obr. 43 OLMC - kombinační vstup/výstup 83
Obr. 44 OLMC - jednoduchý mód 84
Obr. 45 OLMC obvodů řady GAL22V10 84
Obr. 46 Registrový mód makrobuňky obvodu GAL22V10 85
Obr. 47 Kombinační mód makrobuňky obvodu GAL22V10 85
Obr. 48 Blokové schéma obvodů řady GAL22V10 86
Obr. 49 Blokové schéma obvodu GAL18V10 87
Obr. 50 Blokové schéma obvodu GAL22V10 88
Obr. 51 Blokové schéma obvodu GAL26CV12 89
Obr. 52 Blokové schéma obvodu PALCE29M16H-25 90
Obr. 53 Makrobuňka obvodu PALCE29M16 (jednoduchá ZV) 91
Obr. 54 Makrobuňka obvodu PALCE29M16 (dvojnásobná ZV) 92
Obr. 55 Architektura obvodu EP310 94
Obr. 56 Makrobuňka obvodu Intel 85C060/090 (kombinační výstup) 95
Obr. 57 Makrobuňka obvodu Intel 85C060/090 (registr D) 96
Obr. 58 Makrobuňka obvodu Intel 85C060/090 (registr JK) 96
Obr. 59 Makrobuňka obvodu Intel 85C060/090 (registr T) 97
Obr. 60 Makrobuňka obvodu Intel 85C060/090 (registr RS) 97
Obr. 61 Architektura obvodů FPGA (LCA) 99
Obr. 62 Schéma bloku CLB řady XC 4000 102
Obr. 63 Schéma bloku IOB řady XC 4000 104
Obr. 64 Propojení vstupů a výstupů bloku CLB jednotkovými spoji 106
Obr. 65 Architektura obvodů MAPL 107
Obr. 66 Architektura obvodu MAPL128 109
Obr. 67 Architektura obvodu MAPL268 110
Obr. 68 Architektura obvodů MACH 112
Obr. 69 Logický alokátor 116
Obr. 70 Schéma výstupní makrobuňky obvodů MACH 116
Obr. 71 Možné konfigurace výstupní makrobuňky obvodu MACH 117
Obr. 72 Schéma interní makrobuňky obvodu MACH 118
Obr. 73 Možné stavy interní makrobuňky obvodu MACH 119
Obr. 74 Schéma vstupně/výstupní buňky obvodu MACH 120
Obr. 75 Metodika návrhu 122
Obr. 76 Metodika návrhu číslicových systémů s obvody PLD 123
Obr. 77 Proces návrhu programovatelných logických obvodů 131
Obr. 78 Uživatelské rozhraní programu PALASM 137
Obr. 79 Postup při návrhu s programem PALASM 139
Obr. 80 Základní algoritmus programu PALASM II 140
Obr. 81 Simulace dvoubitového čítače systémem PALASM 144
Obr. 82 Moduly vývojového systému ABEL-4 147

Obr. 83 Blokový diagram programu iPLS II 150
Obr. 84 Postup při návrhu stavových automatů systémem iPLS 161
Obr. 85 Stavový diagram dvoubitového čítače 162
Obr. 86 Graf ASM dvoubitového čítače 164
Obr. 87 Karnaughova mapa dvoubitového čítače 163
Obr. 88 Uživatelské rozhraní systému PLDshell 169
Obr. 89 Algoritmus programu PLDshell 171
Obr. 90 Deklarační sekce zdrojového souboru programu PLDasm 173
Obr. 91 Simulace dvoubitového čítače systémem PLDshell 181
Obr. 92 Uživatelské rozhraní systému OPAL 204
Obr. 93 Funkční propojení bloků vývojového systému OPAL 205
Obr. 94 Blokový diagram základního použití systému OPAL 209
Obr. 95 Příklad definice rovnic v jazyce OPAL 218
Obr. 96 Příklad sekce záhlaví souboru OPAL 219
Obr. 97 Obecná definice sekce deklarací 219
Obr. 98 Příklad definice sekce deklarací 220
Obr. 99 Příklad sekce rovnic 220
Obr. 100 Příklad sekce testovacích vektorů programu OPAL 223
Obr. 101 Simulace dvoubitového čítače systémem OPAL 227
Obr. 102 Postup návrhu při použití systému XACT 228
Obr. 103 Blokové schéma rotačního posuvného obvodu 232
Obr. 104 Blokové schéma příkladu návrhu arbitru paměti RAM 276
Obr. 105 Stavový diagram arbitru paměti RAM 278
Obr. 106 Přiřazení grafických symbolů 373
Obr. 107 Příklad identifikačního pole JEDEC souboru 376
Obr. 108 Pole přiřazení názvů pinů JEDEC souboru 376
Obr. 109 Pole identifikace GAL v JEDEC souboru 377
Obr. 110 Pole hodnot souboru JEDEC 378
Obr. 111 Základní uživatelské rozhraní 386
Obr. 112 Tvar komunikačního okna 387
Obr. 113 Formát dialogového okna 389
Obr. 114 Formát vstupního řádku 390
Obr. 115 Standardní tlačítka 391
Obr. 116 Formát obrazovky po startu programu PGAL 395
Obr. 117 Menu Systém 396
Obr. 118 Hexadecimální kalkulačka 396
Obr. 119 Jednoduchý kalendář 397
Obr. 120 Dialogové okno vstupu dat o firmě 398
Obr. 121 Menu Soubor 399
Obr. 122 Dialogové okno výběru názvu souboru 399
Obr. 123 Formát pracovní plochy po zavedení JEDEC souboru 400
Obr. 124 Grafický formát zobrazení JEDEC souboru 401

Obr. 125 Propojovací pole GAL16V8 403
Obr. 126 Dialogové okno editace stavu makrobuňky 404
Obr. 127 Dialogové okno pro výběr adresáře 410
Obr. 128 Menu Editace 411
Obr. 129 Okno definice vyhledání 413
Obr. 130 Okno definice nahrazení 413
Obr. 131 Dialogové okno definice podpisu 415
Obr. 132 Menu Programování 415
Obr. 133 Menu Tisk 417
Obr. 134 Nastavení tisku 418
Obr. 135 Menu Okna 419
Obr. 136 Okna uspořádaná vedle sebe 420
Obr. 137 Okna uspořádaná za sebou 421
Obr. 138 Menu Volby 422
Obr. 139 Volby parametrů prostředí 423
Obr. 140 Okno nastavení parametrů myši 424
Obr. 141 Nastavení typu GAL 425
Obr. 142 Menu Makra 426
Obr. 143 Schéma programátoru GAL 427

Seznam tabulek

Tab. 1 Porovnání vývojových metod logických systémů 24
Tab. 2 Funkce negace 28
Tab. 3 Funkce logického součtu 28
Tab. 4 Logický součin 29
Tab. 5 Úplně zadaná funkce 30
Tab. 6 Neúplně zadaná funkce 31
Tab. 7 Emulace obvodů PAL 77
Tab. 8 Parametry obvodů LCA firmy Xilinx 100
Tab. 9 Některé vlastnosti obvodů MAPL 111
Tab. 10 Některé parametry obvodů MACH 113
Tab. 11 Počty vstupů bloku PAL 115
Tab. 13 Seznam operátorů vstupních a výstupních signálů 158
Tab. 14 Přechodová tabulka dvoubitového čítače 165
Tab. 15 Logické operátory syntaxe systému PLDshell 174
Tab. 17 Priority logických operátorů jazyka TDL 187
Tab. 18 Význam formátovacích příkazů 192
Tab. 19 Specifikace číselného základu v jazyce OPAL 209
Tab. 20 Definice registrových atributů 211
Tab. 21 Definice stavových atributů 211

Tab. 22 Implicitní registrový atribut 212
Tab. 23 Implicitní stavový atribut 212
Tab. 24 Druhy signálových rozšíření 213
Tab. 25 Logické symboly jazyka OPAL 214
Tab. 26 Logické operátory jazyku OPAL 216
Tab. 27 Relační operátory jazyka OPAL 216
Tab. 28 Syntax testovacích vektorů jazyka OPAL 224

Seznam výpisů programů

Výpis 1 Zdrojový program pro vývojový systém ABEL 132
Výpis 2 Příklad souboru PDS programu PALASM 143
Výpis 3 Příklad souboru ADF 154
Výpis 4 Příklad souboru ADF 160
Výpis 5 SMF soubor dvoubitového čítače 166
Výpis 6 ADF soubor dvoubitového čítače 168
Výpis 7 Příklad definice sekce booleovských rovnic 175
Výpis 8 Sekce booleovských rovnic - sekvenční obvody 176
Výpis 9 Definice logické funkce pravdivostní tabulkou 177
Výpis 10 Definice stavové sekce 178
Výpis 11 Příklad definice sekce simulace 180
Výpis 12 Specifikace třístavového hradla AND jazykem TDL 185
Výpis 13 Příklad logických operátorů jazyku TDL 187
Výpis 14 Registrový výstup bez zpětné vazby 188
Výpis 15 Registrový výstup se zpětnou vazbou 190
Výpis 16 Definice testovacích vektorů kombinačního obvodu 191
Výpis 17 Výsledky simulace kombinačního obvodu 193
Výpis 18 Definice testovacích vektorů sekvenčního obvodu 194
Výpis 19 Výsledky simulace sekvenčního obvodu 195
Výpis 20 Ukázka mapování kombinační funkce 196
Výpis 21 Výsledek mapování kombinační funkce 197
Výpis 22 Definice vstupní funkce pravdivostní tabulkou 198
Výpis 23 Čtyřbitový binární čítač 199
Výpis 24 Implementace Moorova automatu jazykem TDL 202
Výpis 25 Příklad definice sekce pravdivostní tabulky 223
Výpis 26 Návrh dvoubitového čítače v jazyce OPAL 226
Výpis 27 Příklad výpisu JEDEC souboru 380