

Obsah

1. Úvod	13
2. Charakteristiky architektury procesorů RISC	17
2.1 Východiska vzniku procesorů RISC	17
2.2 Historie vývoje procesorů RISC	21
2.3 Definice architektury RISC	28
2.4 Některé základní pojmy	33
3. Zřetěžené zpracování informace	37
3.1 Základní pojmy	37
3.2 Typy zřetěžení	40
3.3 Klasifikace zřetěžených systémů	44
3.4 Zřetěžení instrukcí procesoru	48
3.4.1 Realizace zřetěžení instrukcí procesoru	48
3.4.2 Problémy zřetěžení instrukcí	50
4. Vektorové výpočty	57
4.1 Charakteristika vektorového zpracování	57
4.2 Architektura vektorového procesoru	61
5. Vyrovnávací paměti	65
5.1 Charakteristika vyrovnávacích pamětí	65
5.2 Algoritmy správy dat	71
5.2.1 Organizace paměti cache	72
5.2.2 Uvolňování dat z paměti cache	74
5.2.3 Konzistence dat v paměti cache	75
5.3 Příklad implementace paměti cache	77
6. Konkrétní implementace	81
6.1 Acorn RISC Machine (ARM)	82
6.1.1 Charakteristika procesoru ARM	82
6.1.2 Architektura procesoru ARM	83
6.1.3 Specifika procesoru ARM	87

6.1.4 Instrukční soubor procesoru ARM	89
6.2 RISC procesor Clipper	95
6.3 RISC procesor AM29000	99
6.4 Transputer	102
6.4.1 Architektura transputeru	104
6.4.2 Procesor transputeru a instrukční cyklus	106
6.4.3 Instrukční soubor transputeru	108
6.4.4 Komunikace	111
6.4.5 Plánování procesů	113
6.4.6 Vývojové prostředky	113
6.4.7 Základní konstrukce jazyku OCCAM	116
6.4.8 Oblasti aplikací transputerů	123
6.5 RISC procesor SPARC	125
6.5.1 Architektura procesoru SPARC	125
6.5.2 Instrukční soubor	128
6.6 RISC procesor Motorola 88000	130
6.6.1 Architektura procesoru	131
6.6.2 Funkční popis a instrukční soubor	132
6.7 RISC procesory Intel i860 a i960	135
6.8 Hewlett Packard Precision Architecture	140
6.9 RISC procesor MIPS	144
6.10 IBM RISC System/6000	148
6.11 RISC procesor RP-32	151
7. Závěr	153
Literatura	159
Seznam použitých zkratk	165
Rejstřík	171