

OBSAH

	Předmluva autorů	13
I.	Čas v logických systémech	17
1.	Systémy pracující asynchronně nebo synchronně	17
2.	Hodinové signály	18
3.	Několikafázové taktování, cyklus hodinových signálů	18
4.	Logické rovnice řídicích signálů	19
5.	Tabulky budících funkcí	20
6.	Základ řízení sekvenčních obvodů	21
6.1.	Hazardy v sekvenčních obvodech	21
6.2.	Synchronizace asynchronních vstupů	21
6.3.	Působení sekvenčního obvodu na sebe	23
6.4.	Hazardy vlivem posunutí hodinového signálu.	24
II.	Jednoduché sekvenční obvody	26
7.	Vnitřní stavy sekvenčního obvodu	26
8.	Obecná struktura jednoduchého sekvenčního obvodu	26
9.	Zpětné vazby v sekvenčních obvodech	27
10.	Popis funkce jednoduchého sekvenčního obvodu	27
10.1.	Popis časovým diagramem	27
10.2.	Popis grafem	28
10.3.	Popis tabulkou	28
10.4.	Popis logickými rovnicemi	29
11.	Syntéza obvodu popsaného grafem	29
11.1.	Zavedení grafu	29
11.2.	Kódování vnitřních stavů	29
11.3.	Pravdivostní tabulka	29
11.4.	Výběr paměťových členů	29
11.5.	Stanovení budících a výstupních funkcí	30

11.6.	Časový rytmus	30
11.7.	Schémata	30
III.	Složité sekvenční obvody	31
12.	Meze popisu vnitřními stavy	31
13.	Popis vývojovým diagramem	32
14.	Obecná struktura složitého sekvenčního obvodu	33
15.	Obvodový řadič	33
15.1.	Princip	33
15.2.	Přechody v řadiči	34
16.	Mikroprogramovaný řadič	35
16.1.	Princip	35
16.2.	Časový rytmus	36
IV.	Obvodový řadič	37
17.	Zopakování struktury	37
18.	Vyjádření akcí v systému ovládaném obvodovým řadičem	37
19.	Využití hodinového signálu v obvodovém řadiči	38
19.1.	Synchronizace asynchronních vstupů	38
19.2.	Hazardy způsobené nevhodnou volbou cyklu hodinového signálu	39
19.3.	Hazard posunutím hodinového signálu v příkazu pro řízené prostředky	39
19.4.	Hazardy posuvem hodinového signálu mezi řadičem a řízenými prostředky	40
19.5.	Podmínky funkce řadiče	40
19.6.	Hazardy vlivem posuvu hodinových signálů mezi několika řadiči	41
20.	Uspořádání pro uvádění do chodu a pro údržbu	42
20.1.	Krokování hodinového signálu	42
20.2.	Systém pro zastavování a pozorování	42
21.	Zdroje synchronizace v praxi	43
V.	Syntéza systému řízeného obvodovým řadičem	44
22.	Vytyčení cíle	44
23.	Rozbor dějů v aplikaci	45
24.	Volba zdroje synchronizace	45
24.1.	Generátor hodinových impulsů	45
24.2.	Řadiče	45

25.	Zapsání logických rovnic	45
26.	Výběr součástek	46
27.	Tabulka budících vstupů	46
28.	Schémata	46
29.	Závěr	47
VI.	Mikroprogramovaný řadič	48
30.	Meze použití obvodového řadiče	48
31.	Znázornění akcí v instrukci	49
32.	Formát instrukcí	49
33.	Adresování instrukcí	49
34.	Operační kód mikroprogramovaného systému	50
35.	Příklady typů instrukcí	50
35.1.	Vymezení operačního kódu	50
35.2.	Instrukce pro zápis	50
35.3.	Instrukce pro podmíněný skok	52
36.	Zápis programu činnosti	53
37.	Výhody mikroprogramované struktury	53
38.	Generování řídicích signálů.	54
39.	Generování skoků.	55
VII.	Syntéza systému řízeného mikroprogramovaným řadičem	57
40.	Úvod	57
41.	Rozbor dějů v aplikaci	57
42.	Výběr operačního kódu. Formát instrukcí	57
43.	Zápis programu aplikace neboli programové vybavení	58
44.	Přezkoušení programového vybavení	58
45.	Syntéza řadiče.	58
45.1.	Vývojové diagramy instrukcí	58
45.2.	Řazení instrukcí	58
45.3.	Zápis logických rovnic instrukcí	58
45.4.	Výběr součástí řadiče, budící tabulky, schémata.	58

46.	Posouzení obvodů řadiče	59
47.	Realizace prostředků pro aplikaci	59
47.1.	Spojení mezi řadičem a prostředky pro aplikaci	59
47.2.	Výběr součástí obvodů pro aplikaci, tabulky buzení	59
48.	Schémata systémů	59
49.	Závěr	59
VIII.	Nejčastější úchytky v logických schématech	61
50.	Úvod	61
51.	Příliš malý podíl integrace	61
52.	Spoje mezi částmi systému	62
53.	Rozmanité triky pro tvarování impulsu	62
53.1.	Využití zpoždění logických členů	62
53.2.	Využití integračních obvodů RC	63
53.3.	Využití derivačních obvodů RC	63
54.	Způsoby nabuzení paměťových členů	64
55.	Nesprávné použití klopných obvodů	66
55.1.	Současné buzení signálů R i S	66
55.2.	Nulující impuls jako činitel výstupu	67
55.3.	Součin podmínek nastavení klopného obvodu s jeho stavem	67
55.3.1.	Klopný obvod RS	67
55.3.2.	Klopný obvod JK	68
55.4.	Klopný obvod překlápějící sám sebe do stavu 0	68
55.5.	Useknutí hodinového impulsu	68
55.6.	Špatné využití možností klopných obvodů JK nebo D	69
56.	Použití stavů čítače	69
56.1.	Špatné vzorkování	69
56.2.	Čítače s neúplným cyklem	70
56.3.	Použití stavů čítače	70
57.	Asynchronní zpětné vazby	70
58.	Použití pomocných prvků	71
59.	Kondenzátory, Schmittovy obvody a monostabilní obvody	72
59.1.	Kondenzátory	72
59.2.	Schmittovy klopné obvody	74
59.3.	Monostabilní klopné obvody	75

60.	Některé úchytky	75
60.1.	Speciální dekódování stavu obvodového řadiče	75
60.2.	Nadbytečné paměťové členy	75
60.3.	Nevyužité vstupy	76
60.4.	Montážní člen NEBO	76
60.5.	Logické bloky pro vlastní potřebu	76
60.6.	Zcitlivění obvodů	76
60.7.	Zapomenuté zbytky obvodů	76
61.	Závěr	76
IX.	Obecné charakteristiky mikroprocesorů	77
62.	Od mikroprogramovaných řadičů k mikroprocesorům	77
63.	Obecná struktura systému s mikroprocesorem	78
64.	Struktura mikroprocesoru	79
64.1.	Obecná struktura a způsob činnosti	79
64.2.	Informace od výrobce	80
65.	Popis vstupů a výstupů	81
66.	Soubor podpůrných obvodů	81
67.	Formát instrukce a rychlost	82
68.	Šířka toku dat	82
69.	Operační kód	82
69.1.	Operační kód mikroprogramovaný nebo mikroprogramovatelný	82
69.2.	Působení instrukcí	83
69.3.	Různé typy instrukcí	83
70.	Adresy a způsoby adresování	84
70.1.	Adresování prvního řádu	84
70.2.	Adresování nultého řádu	85
70.3.	Adresování druhého řádu (nepřímé)	85
70.4.	Indexované adresování	85
70.5.	Adresování relativní vzhledem k čítači adres	86
70.6.	Příklady použití způsobů adresování	86
70.6.1.	Využití operačního kódu	86
70.6.2.	Přesun tabulky	86
71.	Podprogram	88
72.	Přerušeni	89
72.1.	Princip	89
72.2.	Maskování přerušeni	89
72.3.	Priority mezi přerušeni	90
72.4.	Simultánní ošetření	91

73.	Prostředky pro přenos informace v mikroprocesoru	91
73.1.	Jednoduchý programovaný přístup	91
73.2.	Prioritní programovaný přístup.	91
73.3.	Přímý přístup do paměti.	91
74.	Výkon mikroprocesoru	92
X.	Vývojové systémy pro mikroprocesory	93
75.	Uvádění zařízení do chodu	93
76.	Pomůcka pro sestavování programů – assembler	94
76.1.	Účel assembleru	94
76.2.	Zápis instrukcí	94
76.3.	Makroinstrukce	94
76.4.	Příkazy pro assembler	95
76.5.	Chybová hlášení	96
77.	Opravy programu; textový editor.	96
78.	Oživování simulované na počítači	97
78.1.	Princip	97
78.2.	Některé příkazy	97
78.3.	Makroinstrukce	97
79.	Oživování na mikropočítači.	98
80.	Ostatní pomůcky	98
80.1.	Jazyk vyšší úrovně	98
80.2.	Monitory reálného času	98
XI.	Syntéza s mikroprocesorem	100
81.	Posunutí hranice složitosti	100
82.	Syntéza jednoduchého systému s mikroprocesorem.	100
82.1.	Rozbor činnosti úlohy	100
82.2.	Seznámení s technickým vybavením	100
82.3.	Návrh řadiče	101
82.4.	Seznámení s programovým vybavením.	101
82.5.	Rozdělení úloh mezi technické a programové vybavení.	101
82.6.	Syntéza prostředků pro aplikaci	101
82.7.	Zápis programového vybavení	101
82.8.	Uvádění do chodu	102
83.	Popis struktury mikropočítače	102
83.1.	Obecná struktura.	102
83.2.	Metody zabezpečení morální životnosti	103

84.	Syntéza mikropočítače	104
85.	Syntéza s mikropočítačem.	104
86.	Výhody návrhu s mikropočítačem.	104
86.1.	Návrh	104
86.2.	Složitější zařízení	105
86.3.	Schvalování návrhu.	105
86.4.	Technické vybavení.	105
86.5.	Náhradní díly	105
86.6.	Údržba	105
86.7.	Automatické hledání poruch	105
86.8.	Výhody využívání	106
86.9.	Nové rozdělení funkcí ve velkých systémech	106
87.	Těžkosti s použitím mikroprocesorů a mikropočítačů	106
87.1.	Důležitost prostředků pro uvádění do chodu	106
87.2.	Nedostatek kvalifikovaných návrhářů	106
87.3.	Zaškolení uživatelů mikropočítačů	107
87.4.	Rozšířená představa — vyměnitelnost programů	107
88.	Příklady syntézy s mikroprocesorem	107
XII.	Některá hlediska realizace zařízení	108
89.	Úvod	108
90.	Seznamy povolených součástí	108
91.	Rozdělení z hlediska funkcí.	109
91.1.	Na úrovni desky	109
91.2.	Na úrovni podsouborů	109
91.3.	Na úrovni systému	109
92.	Testovatelnost	110
93.	Spoje mezi deskami	110
93.1.	Kontrola zátěží	110
93.2.	Kontrola spojů.	111
93.3.	Kapacitní zátěže spojů	112
93.4.	Způsob spojování	112
94.	Technologické požadavky.	112
94.1.	Stavebnice logických obvodů.	112
94.2.	Požadavky kladené na spoje	112
95.	Požadavky na údržbu	113
95.1.	Kontrola času	113

95.2.	Kontrola stálou pravděpodobností	113
95.3.	Výskyt úchylek.	113
95.4.	Vnější simulátor	113
95.5.	Testy	114
96.	Dokumentace	114
97.	Požadavky na rychlost	114
97.1.	Obměna vývojových diagramů	114
97.2.	Zlepšení operačního kódu	116
97.3.	Rozdělení úloh.	116
97.4.	Změny cyklu hodinových impulsů	116
97.5.	Použití přizpůsobených logických stavebnic	116
97.6.	Meze metod návrhu synchronních obvodů	116
XIII.	Porovnání metod návrhu	118
98.	Úvod	118
99.	Kvalitativní srovnání	118
100.	Kvantitativní srovnání	118
101.	Oblasti uplatnění metod syntézy	122
102.	Závěr	123
	Literatura	124
	Rejstřík	125