

OBSAH

Úvod	9
I. Teorie a prvky (Ing. V. Krátký, CSc.)	11
1. Základy teorie logických obvodů	11
1.1 Logika	11
1.2 Základy algebry logiky	14
1.3 Logické funkce	18
1.4 Způsoby vyjádření logických funkcí	20
1.5. Druhy logických funkcí	25
1.6. Logická operace	28
2. Druhy logických obvodů	31
2.1. Základní vlastnosti logického členu	31
2.2. Stavebnicový systém logických obvodů	33
2.3. Kombinační logické obvody	37
2.4. Sekvenční logické obvody	41
2.5. Hazardy	44
3. Obvody malé integrace	46
3.1. Klasifikace obvodů TTL	46
3.2. Základní logický člen	49
3.3. Soustava logických členů obvodů TTL	54
3.4. Klopné obvody	56
II. Realizace operací a funkcí (Ing. V. Krátký, CSc.)	74
4. Číselné soustavy	74
4.1. Zobrazení informace	74
4.2. Dvojková číselná soustava	74
4.3. Osmičková a šestnáctková číselná soustava	77
4.4. Dvojkově desítková číselná soustava	78
4.5. Kódování čísel	80
5. Obvody střední integrace	84
5.1. Kombinační logické obvody MSI	84
5.1.1. Obvody pro přenos dat	84
5.1.2. Obvody pro převod kódů — konvertory	88
5.1.3. Obvody pro kontrolu dat	95
5.1.4. Obvody pro logické porovnávání dat	100
5.1.5. Obvody pro aritmetické zpracování dat	105
5.2. Sekvenční logické obvody MSI	119
5.2.1. Čítače	119
5.2.2. Registry	146
5.3. Řešení obvodů číselných soustav pomocí obvodů SSI a MSI	173
5.3.1. Sériový konvertor Grayova kódu na binární kód	173
5.3.2. Způsob kreslení blokových schémat pro popis algoritmů a pro popis vnitřní funkce logických systémů	176

5.3.3.	Sériový komparátor	177
5.3.4.	Sériová binární sčítačka	178
5.3.5.	Paralelní binární sčítačka se střadačem	180
5.3.6.	Výměna obsahu dvou registrů	181
5.3.7.	Konvertory kódu BCD na binární kód	183
6.	Aritmetické operace s čísly	187
6.1.	Sčítání a odčítání reálných celých čísel ¹	187
6.2.	Sčítání a odčítání reálných celých čísel v kódu BCD	194
III.	Logické obvody velké integrace (Ing. M. Jiřina, CSc.)	198
7.	Paměti a mikroprocesory	198
7.1.	Statické paměti s možností záznamu a s libovolným výběrem (RAM)	200
7.2.	Dynamické paměti s možností záznamu	203
7.3.	Pevné paměti	209
7.3.1.	Generátory znaků jako pevné paměti	210
7.3.2.	Programovatelné pevné paměti PROM	214
7.3.3.	Reprogramovatelné pevné paměti EPROM (REPROM)	217
7.4.	Programovatelná logická pole	220
7.5.	Základy mikropočítačů	227
7.5.1.	Podobnost mikropočítače s počítačem	227
7.5.2.	Bloková struktura mikroprocesoru	227
7.5.3.	Zpracování instrukcí	229
7.5.4.	Práce s adresami, zásobníková paměť	230
7.5.5.	Přerušení programu	231
7.5.6.	Přímý přístup do paměti	232
7.6.	Mikroprocesor typu 8080	233
7.6.1.	Popis mikroprocesoru MH8080	233
7.6.2.	Zapojení vývodů mikroprocesoru MH8080	234
7.6.3.	Průběh instrukce, operační kroky	235
7.6.4.	Průběh přerušení	236
7.6.5.	Začátek práce mikroprocesoru	237
7.7.	Další základní členy stavebnice mikropočítače	238
7.7.1.	Generátor hodinových impulsů a budič MHB8224	238
7.7.2.	Obvod pro řízení systému a budič sběrnice MHB8228	240
7.7.3.	Čtyřbitový paralelní budič obousměrné sběrnice	242
7.7.4.	Osmibitový univerzální registr	244
7.7.5.	Obvod prioritního přerušení	248
7.8.	Mikropočítačový systém	252
7.8.1.	Úplný mikroprocesor, standardní styk	252
7.8.2.	Skupina paměti	254
7.8.3.	Obvody pro vnější styk	254
7.8.4.	Minimální sestava mikropočítače	256
7.9.	Programování mikropočítače	256
7.9.1.	Formáty instrukcí a dat	256
7.9.2.	Způsoby adresování	257
7.9.3.	Tabulka instrukcí	266
7.9.4.	Strojový kód, assembler, vyšší programovací jazyky	267
7.9.5.	Aritmetické operace	269
7.9.6.	Práce s jednotlivými bity	269
7.9.7.	Vývoj programu na vývojovém systému	270
IV.	Fyzický návrh číslicových obvodů (Ing. E. Kottek)	272

8.	Statický návrh	273
8.1.	Větvění a zátěž	273
8.1.1.	Základní statické vlastnosti obvodů	273
8.1.2.	Propojování výstupů s aktivním zdvihem	277
8.1.3.	Možnosti zvětšení výstupního větvení	279
8.1.4.	Propojování výstupů s volným kolektorem	280
8.1.5.	Propojování třístavových výstupů	284
8.1.6.	Ošetření nevyužitých vstupů	286
8.2.	Příkon	289
8.2.1.	Příkon integrovaných obvodů a možnosti jeho zmenšení	289
8.2.2.	Návrh z hlediska příkonu	291
9.	Konstrukční návrh z hlediska rušení	295
9.1.	Vnější rušení v systému	296
9.2.	Rušení v rozvodu stejnosměrného napětí	298
9.3.	Rušení odrazy na signálových spojích	304
9.4.	Rušení přeslechy mezi signálovými spoji	315
9.5.	Návrh desky	319
9.6.	Návrh kabeláže	328
9.6.1.	Tabulka přípustných délek spojů	328
9.6.2.	Použití tabulky přípustných délek spojů	331
10.	Dynamický návrh propojení	334
10.1.	Mezní hodnoty zpoždění	335
10.1.1.	Systém označování dynamických parametrů	335
10.1.2.	Výstupy s aktivním zdvihem	336
10.1.3.	Výpočet zpoždění při zátěži RC	341
10.1.4.	Zpoždění na výstupech s volným kolektorem a třístavových výstupech	344
10.1.5.	Zpoždění na výstupech s aktivním zdvihem při větší kapacitní zátěži	347
10.1.6.	Zpoždění na spojích mezi deskami	348
10.2.	Jednoduchý dynamický návrh	351
10.3.	Zpřesněný dynamický návrh	353
	Přílohy	359
	Literatura	407
	Rejstřík	410